

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-176177

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

G11C 16/02

(21)Application number : 09-343069

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 12.12.1997

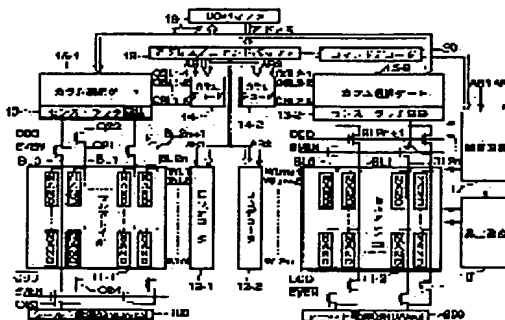
(72)Inventor : SUGIURA YOSHIHISA

## (54) NON-VOLATILE SEMICONDUCTOR STORAGE

## (57)Abstract:

PROBLEM TO BE SOLVED: To achieve an excessive writing verification function in a flash memory where one latch circuit for constituting a data register is provided to two bit lines.

SOLUTION: Two cell arrays 11-1 and 11-2 are exclusively selected. When an excessive writing cell is detected at the cell array 11-1, one page of the cell data for two pages to be retracted in the cell array 11-1 is transferred to a sense latch circuit 13-2 being provided in the cell array 11-2 that is not selected and is in an unused state for storing, and the other page data are stored in a sense latch circuit 13-1 in the selection 11-1, thus achieving an excessive writing verification function even in a configuration where one latch circuit is provided for two adjacent bit wires in the cell array with bit wire shield structure.



## LEGAL STATUS

[Date of request for examination] 26.09.2000

[Date of sending the examiner's decision of rejection] 25.11.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-176177

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.<sup>6</sup>  
G11C 16/02

識別記号

F I  
G11C 17/00

611A  
601T

審査請求 未請求 請求項の数8 O L (全 23 頁)

(21) 出願番号 特願平9-343069

(22) 出願日 平成9年(1997)12月12日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 杉浦 義久

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

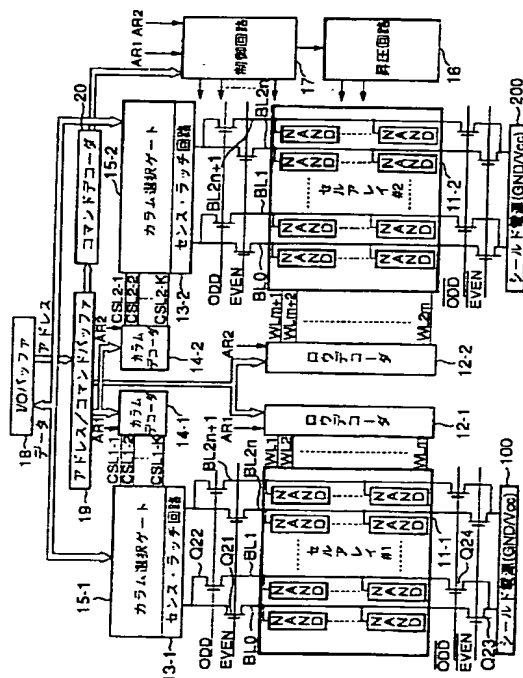
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 データレジスタを構成するラッチ回路を2本のビット線に1つの割合で配する構成のフラッシュメモリにおいて、過書き込みペリファイ機能を実現する。

【解決手段】 2つのセルアレイ11-1、11-2は排他的に選択される。セルアレイ11-1に過書き込みセルが検出されると、セルアレイ11-1内の退避対象の2ページ分のセルデータのうちの1ページは、選択されていない未使用状態のセルアレイ11-2に設けられたセンス・ラッチ回路13-2に転送してそこに保存され、残りの1ページのデータは選択セルアレイ11-1内のセンス・ラッチ回路13-1に保存される。したがって、ラッチ回路をビット線シールド構造のセルアレイ内の隣接する2本のビット線に1つの割合で配する構成においても、過書き込みペリファイ機能を実現できるようになる。



1

## 【特許請求の範囲】

【請求項 1】 電氣的に書き換え可能なメモリセルが 1 以上接続されて構成されるメモリセルユニットが行および列のマトリクス状に配置され、列方向の複数のメモリセルユニットがビット線に接続され、行方向の複数のメモリセルがワード線に接続されてそれぞれ構成される第 1 および第 2 のメモリセルアレイと、

前記第 1 のメモリセルアレイ内の隣接する第 1 および第 2 のビット線に選択的に接続され、前記第 1 および第 2 のビット線間で書き込み／読み出しデータの保持に共用される第 1 のラッチ回路と、

前記第 2 のメモリセルアレイ内の隣接する第 1 および第 2 のビット線に選択的に接続され、前記第 1 および第 2 のビット線間で書き込み／読み出しデータの保持に共用される第 2 のラッチ回路とを具備し、

外部からのアドレスに基づいて前記第 1 および第 2 のメモリセルアレイの一方をアクセス対象として選択し、

前記選択されているメモリセルアレイ内の前記第 1 および第 2 のビット線の中で選択された一方のビット線側に過書き込み状態のメモリセルがある場合、その過書き込み状態のメモリセルのデータ、および前記過書き込み状態のメモリセルと同一ワード線に接続され且つ非選択状態の他方のビット線側に設けられているメモリセルのデータを、前記選択されているメモリセルアレイに対応するラッチ回路および非選択状態のメモリセルアレイに対応するラッチ回路にそれぞれ退避し、前記各メモリセルのデータが消去された後、前記退避されたデータを前記各対応するメモリセルに書き込むことを特徴とする不揮発性半導体記憶装置。

【請求項 2】 外部との間でデータの入出力を行うデータ入出力端子と、

前記第 1 および第 2 のラッチ回路を選択的に前記データ入出力端子に接続し、前記第 1 および第 2 のラッチ回路の一方から前記データ入出力端子にデータを転送するデータ出力手段と、

前記データ入出力端子に接続され、そのデータ入出力端子上のデータを前記第 1 および第 2 のラッチ回路に選択的にロードするデータロード手段とをさらに具備し、

前記データ出力手段および前記データロード手段を用いて、退避対象の一方のメモリセルのデータを前記選択されているメモリセルアレイに対応するラッチ回路から前記非選択状態のメモリセルアレイに対応するラッチ回路に転送することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 前記第 1 および第 2 のラッチ回路間をつなぐためにそれらラッチ回路間に配置されたデータ転送経路をさらに具備し、

退避対象の一方のメモリセルのデータは、前記データ転送経路を介して前記選択されているメモリセルアレイに対応するラッチ回路から前記非選択状態のメモリセルア

2

レイに対応するラッチ回路に転送されることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】 前記選択されているメモリセルアレイ内の前記第 1 および第 2 のビット線の中で非選択状態のビット線を所定の電位に設定するシールド電源をさらに具備することを特徴とする請求項 1 乃至 3 のいずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 5】 電氣的に書き換え可能なメモリセルが 1 以上接続されて構成されるメモリセルユニットが行および列のマトリクス状に配置され、列方向の複数のメモリセルユニットがビット線に接続され、行方向の複数のメモリセルがワード線に接続されてそれぞれ構成される第 1 および第 2 のメモリセルアレイと、

前記第 1 のメモリセルアレイに接続され、その第 1 のメモリセルアレイ内の選択されたワード線に接続されている 2 ページ分のメモリセルの中で、選択された奇数番目または偶数番目のビット線側に設けられた 1 ページ分のメモリセルに書き込むべきデータ、およびそれらメモリセルから読み出されたデータを保持する第 1 のデータレジスタと、

前記第 2 のメモリセルアレイに接続され、その第 2 のメモリセルアレイ内の選択されたワード線に接続されている 2 ページ分のメモリセルの中で、選択された奇数番目または偶数番目のビット線側に設けられた 1 ページ分のメモリセルに書き込むべきデータ、およびそれらメモリセルから読み出されたデータを保持する第 2 のデータレジスタとを具備し、

前記第 1 および第 2 のメモリセルアレイの中でアクセス対象として選択されている側のメモリセルアレイ内のビット線を奇数番目および偶数番目のビット線に分割し、それら奇数番目および偶数番目のビット線の一方を選択することにより、前記選択されている側のメモリセルアレイとそれに対応する前記第 1 または第 2 のデータレジスタとの間で、ページ単位でデータ書き込みおよび読み出し動作を実行し、

前記アクセス対象として選択されている側のメモリセルアレイに過書き込み状態のメモリセルがある場合、その過書き込み状態のメモリセルと同一ワード線に接続されている 2 ページ分のメモリセルのうち、奇数番目および偶数番目の一方のビット線に対応する 1 ページ分のメモリセルのデータを前記選択されているメモリセルアレイに対応するデータレジスタに退避すると共に、他方のビット線に対応する 1 ページ分のメモリセルのデータを非選択状態のメモリセルアレイに対応するデータレジスタに退避し、前記同一ワード線に接続された 2 ページ分のメモリセルのデータが消去された後、前記第 1 および第 2 のデータレジスタに退避されているデータをそれぞれ対応する 2 ページ分のメモリセルに書き込むことを特徴とする不揮発性半導体記憶装置。

【請求項 6】 電氣的に書き換え可能なメモリセルが 1

10

20

30

40

50

3

以上接続されて構成されるメモリセルユニットが行および列のマトリクス状に配置され、列方向の複数のメモリセルユニットがビット線に接続され、行方向の複数のメモリセルがワード線に接続されてそれぞれ構成される第 1 および第 2 のメモリセルアレイと、

前記第 1 のメモリセルアレイ内の隣接する第 1 および第 2 のビット線に選択的に接続され、第 1 および第 2 のビット線間で書き込み／読み出しデータの保持に共用される第 1 のラッチ回路と、

前記第 2 のメモリセルアレイ内の隣接する第 1 および第 2 のビット線に選択的に接続され、第 1 および第 2 のビット線間で書き込み／読み出しデータの保持に共用される第 2 のラッチ回路と、

前記第 1 および第 2 のラッチ回路に選択的に接続され、接続された前記第 1 または第 2 のラッチ回路から出力されるデータをラッチする第 3 のラッチ回路とを具備し、外部からのアドレスに基づいて前記第 1 および第 2 のメモリセルアレイの一方をアクセス対象として選択し、前記選択されているメモリセルアレイ内の前記第 1 および第 2 のビット線の中で選択された一方のビット線側に過書き込み状態のメモリセルがある場合、その過書き込み状態のメモリセルのデータ、およびその過書き込み状態のメモリセルと同一ワード線に接続され且つ非選択状態の他方のビット線側に設けられているメモリセルのデータを、前記選択されているメモリセルアレイに対応するラッチ回路および前記第 3 のラッチ回路にそれぞれ退避し、前記各メモリセルのデータが消去された後、前記退避されたデータを前記各対応するメモリセルに書き込むことを特徴とする不揮発性半導体記憶装置。

【請求項 7】 前記選択されているメモリセルアレイ内の前記第 1 および第 2 のビット線の中で非選択状態のビット線を所定の電位に設定するシールド電源をさらに具備することを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 8】 電氣的に書き換え可能なメモリセルが 1 以上接続されて構成されるメモリセルユニットが行および列のマトリクス状に配置され、列方向の複数のメモリセルユニットがビット線に接続され、行方向の複数のメモリセルがワード線に接続されてそれぞれ構成される第 1 および第 2 のメモリセルアレイと、

前記第 1 のメモリセルアレイに接続され、その第 1 のメモリセルアレイ内の選択されたワード線に接続されている 2 ページ分のメモリセルの中で、選択された奇数番目または偶数番目のビット線側に設けられた 1 ページ分のメモリセルに書き込むべきデータ、およびそれらメモリセルから読み出されたデータを保持する第 1 のデータレジスタと、

前記第 2 のメモリセルアレイに接続され、その第 2 のメモリセルアレイ内の選択されたワード線に接続されている 2 ページ分のメモリセルの中で、選択された奇数番目

4

または偶数番目のビット線側に設けられた 1 ページ分のメモリセルに書き込むべきデータ、およびそれらメモリセルから読み出されたデータを保持する第 2 のデータレジスタと、

前記第 1 および第 2 のデータレジスタに選択的に接続され、接続された前記第 1 または第 2 のデータレジスタ回路から出力される 1 ページ分のデータを保持する第 3 のデータレジスタとを具備し、

前記第 1 および第 2 のメモリセルアレイの中でアクセス対象として選択されている側のメモリセルアレイ内のビット線を奇数番目および偶数番目のビット線に分割し、それら奇数番目および偶数番目のビット線の一方を選択することにより、前記選択されている側のメモリセルアレイとそれに対応する前記第 1 または第 2 のデータレジスタとの間で、ページ単位でデータ書き込みおよび読み出し動作を実行し、

前記アクセス対象として選択されている側のメモリセルアレイに過書き込み状態のメモリセルがある場合、その過書き込み状態のメモリセルと同一ワード線に接続されている 2 ページ分のメモリセルのうち、奇数番目および偶数番目の一方のビット線に対応する 1 ページ分のメモリセルのデータを前記選択されているメモリセルアレイに対応するデータレジスタに退避すると共に、他方のビット線に対応する 1 ページ分のメモリセルのデータを前記第 3 のデータレジスタに退避し、前記同一ワード線に接続された 2 ページ分のメモリセルのデータが消去された後、前記退避されているデータをそれぞれ対応する 2 ページ分のメモリセルに書き込むことを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は例えばフラッシュ EEPROM などの不揮発性半導体記憶装置に関し、特に過書き込みベリファイ機能を有する不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】 近年、携帯情報端末などの小型電子機器の発達に伴い、32Mbit、64Mbit、128Mbit といった大容量の NAND 型フラッシュ EEPROM が普及し始めている。NAND 型フラッシュ EEPROM では、1 本のワード線に接続された多数のメモリセルからなるページを単位として、読み出し及び書き込み動作が実行される。32Mbit の NAND 型フラッシュ EEPROM を例にとると、1 ページは 512 バイト、つまり 512 x 8 個のメモリセルから構成される。メモリセルアレイのビット線には一つずつラッチ回路が接続される。これらラッチ回路は 1 ページ分の記憶容量を持つデータレジスタとして機能し、ここには 1 ページ分の読み出しまたは書き込みデータが蓄えられる。NAND 型フラッシュ EEPROM の具体的なメモリセル構

5

造を図 1 9 に示す。

【0 0 0 3】NAND型フラッシュEEPROMの各メモリセルユニットはNANDストリングと称され、このNANDストリングは、図 1 9 に示されているように、浮遊ゲート及び制御ゲートを有するMOSトランジスタからなるメモリセルMC 1 ~MC 1 6 を直列に接続して構成される。このメモリセルユニットの一端はセレクトゲートトランジスタST 1 を介してビット線BLに接続され、他端はセレクトゲートトランジスタST 2 を介して共通ソース線Sに接続されている。各トランジスタは同一のウェルW上に形成されている。メモリセルMC 1 ~MC 1 6 の制御ゲートはそれぞれワード線WL 1 ~WL 1 6 に接続されており、セレクトゲートトランジスタST 1 のゲートは選択線SL 1 に接続され、セレクトゲートトランジスタST 2 のゲートは選択線SL 2 に接続されている。

【0 0 0 4】NAND型フラッシュEEPROMでは、通常、データ“1”が保持されている状態を「消去状態」と呼び、データ“0”が保持されている状態を「書き込み状態」と呼ぶ。データ“0”を保持したメモリセルは正のしきい値電圧を有し、エンハンスメント型トランジスタとして機能する。一方、データ“1”を保持したメモリセルは負のしきい値電圧を有し、デプレッション型トランジスタとして機能する。データ“1”が保持されているメモリセルのしきい値電圧を正方向にシフトさせて、デプレッション型からエンハンスメント型に変化させることを「書き込み動作」と呼び、データ“0”が保持されているメモリセルのしきい電圧を負方向にシフトさせて、エンハンスメント型からデプレッション型に変化させることを「消去動作」と呼ぶ。

【0 0 0 5】図 2 0 は、読み出し、消去及び書き込みの各動作時に、メモリセルに印加する電圧を示している。例えば読み出し動作時は、先ず、ビット線BLが例えば電源電位にプリチャージされた後、フローティングにされる。この後、選択線SL 1 に 3. 3 V、読み出し対象の選択メモリセル（例えば、図 1 9 のMC 1 6）のワード線WLに 0 V、非選択メモリセルのワード線WLに 4. 5 V、選択線SL 2 に 3. 3 V、ウェルWに 0 V、共通ソース線Sに 0 Vを印加する。すると、選択メモリセル（MC 1 6）以外の他の全てのトランジスタがオンする。選択メモリセル（MC 1 6）にデータ“0”が書き込まれておりエンハンスメント型になっている場合には、このメモリセルは非導通となりビット線BLの電位はプリチャージ電位のまま変化しない。また、選択メモリセル（MC 1 6）が消去状態つまりデータ“1”が保持されている場合には、選択メモリセルはデプレッション型として機能するため、このメモリセルは導通となり、ビット線BLは放電されその電位が低下する。このビット線の電位を検出することにより選択メモリセルのデータがセンスされ、データレジスタに取り込まれる。

6

【0 0 0 6】一方、消去動作時においては、ビット線BLは開放、選択線SL 1 に 0 V、メモリセルのワード線WLに 0 V、選択線SL 2 に 0 V、ウェルWに 1 8 V、そして共通ソース線Sに 1 8 Vを印加する。すると、0 Vに設定されたワード線WLに接続されているメモリセルの浮遊ゲートとウェル間にゲート絶縁膜を介してトンネル電流が流れ、これによってそのメモリセルのしきい値電圧は負、つまりデータ“1”を保持した状態となる。

【0 0 0 7】書き込み動作時は、書き込みデータによって異なった電圧を印加する。すなわち、データ“0”を書き込む場合、ビット線BLに 0 Vを印加し、データ“1”を書き込む場合、ビット線BLに 3. 3 Vを印加する。選択線SL 1 には 3. 3 V、書き込み対象となる選択メモリセルのワード線WLには 1 8 V、非選択メモリセルのワード線WLには 9 V、選択線SL 2 には 0 V、ウェルWには 0 V、共通ソース線Sには 0 Vを印加する。この結果、ビット線BLに 0 Vが印加された場合は、セレクトゲートトランジスタST 1 からメモリセルM 1 6 までの全てのトランジスタは導通する。したがって、ビット線BLより選択メモリセルのチャンネルに 0 Vが供給され、ワード線WLに 1 8 Vが印加される選択メモリセルのチャンネルと制御ゲートとの間の電圧が 1 8 Vの高電圧となり、トンネル電流によってこの選択メモリセルのしきい値電圧は正方向にシフトし、データ“0”が書き込まれる。また、ワード線WLに 9 Vが印加された非選択メモリセルはそのチャンネルと制御ゲートとの間に 9 Vしかかからないため、しきい値電圧の正方向のシフトは抑圧される。

【0 0 0 8】一方、ビット線BLに 3. 3 Vが印加された場合は、3. 3 Vから選択線SL 1 に接続された選択ゲートトランジスタのしきい値電圧を差し引いた電圧が各メモリセルのチャンネルへ転送された後、選択ゲートトランジスタがカットオフされて選択線SL 1、SL 2 間でメモリセルのチャンネルがフローティングとなる。従って、選択メモリセルのワード線WLに 1 8 V、非選択メモリセルのワード線WLに 9 Vが印加されると、全メモリセルのチャンネルがこれらワード線との容量結合によってブートされ、その電位は例えば 8 V程度に昇圧される結果、1 8 Vが印加されたワード線WLに接続されるメモリセルについてもしきい値電圧の正方向のシフトは抑圧され、データ“1”が書き込まれる。通常、こうして得たメモリセルのチャンネルの昇圧電位を、書き込み禁止電圧と呼ぶ。

【0 0 0 9】ところで、NAND型フラッシュEEPROMでは、メモリセルセルが直列に接続されているため各メモリセルのしきい値電圧は非選択ワード線電位

(4. 5 V) 以下に抑えなければならない。もし、しきい値電圧が非選択ワード線電位 (4. 5 V) を越えるようなメモリセルがNANDストリングの中に含まれてい

7

ると、そのメモリセルが電流を阻止してしまうので、そのNANDストリング内の全てのセルについての読み出しができなくなる。

【0010】しかし、NAND型フラッシュEEPROMはトンネル電流を用いてデータを書き込むため、書き込み速度は各メモリセルによってばらつきがある。したがって、たとえ書き込み時間が同じであっても、書き込みページ内のあるメモリセルのしきい値電圧は0V以上4.5V以下の適正範囲となるが、その書き込みページ内の他のメモリセルのしきい値電圧は過書き込みにより4.5Vを越えてしまうこともある。

【0011】このような過書き込み不良を訂正するための技術として、過書き込みベリファイが知られている。この過書き込みベリファイは、過書き込み状態のメモリセルがある場合、その過書き込み状態のメモリセルと同一ワード線に接続されている1ページ分のメモリセルのデータを一旦データレジスタに読み出して退避し、それから1ページ分のメモリセルのデータを消去した後に、再びデータレジスタのデータを用いて書き込み動作を再試行するというものであり、例えば、本出願人による特許出願である特願平7-241394号明細書に開示されている。過書き込み不良は通常一時的なものであるため、一度書き込みをやり直せばしきい値電圧を適正值に設定することができる。

【0012】

【発明が解決しようとする課題】ところで、最近では、フラッシュEEPROMのさらなる高集積化および大容量化が進められており、これに伴って隣接するビット線間の寄生容量が読み出し動作に与える影響が無視できなくなっている。これは、ビット線の配線ピッチが狭くなり、ビット線間の寄生容量が大きくなることに起因するものである。

【0013】ここで、注目しているメモリセルにはデータ“0”が書き込まれておりセル電流が流れないが、隣接する両側のビット線に設けられているメモリセルのデータは消去状態にありセル電流を流す場合を考える。注目しているメモリセルが設けられているビット線は、本来はプリチャージ電位を保たなければならない。しかし、隣接ビット線間の容量が、ビット線に付加されるその他の容量に比べ大きいときには、注目しているメモリセルが設けられているビット線の電位は、その隣接ビット線との間の容量結合により、隣接ビット線の放電に伴って低下してしまい、これにより誤読み出しが起こる。

【0014】この誤読み出しを防ぐ方法としては、ビット線シールド法を使用することができる。このビット線シールド法は、ビット線を1本おきに接地することにより、隣接ビット線間の容量が読み出し動作に影響しないようにするものである。このビット線シールド法をフラッシュEEPROMに適用するためには、一本のワード線に2ページ分のメモリセルを接続し、奇数番目のビッ

8

ット線グループと偶数番目のビット線グループとに分けてそれらを選択的に書き込み及び読み出し動作に使用することが必要となる。

【0015】しかし、この場合には、チップ面積にオーバーヘッドが生じないよう、データレジスタを構成するラッチ回路は2本のビット線に1つの割合で配する方式が一般的となろう。この場合、1本のワード線には2ページ分のメモリセルが接続されているにもかかわらず、データレジスタは1ページ分の容量しか持っていないので、前述の過書き込みベリファイは不可能になる。なぜなら、消去動作は最低ワード線単位で行なわれるため過書き込みセルが存在した場合には2ページ分のセルが同時に消去されるが、データレジスタには1ページ分のデータしか退避させておくことができないからである。

【0016】本発明は上述の事情に鑑みてなされたものであり、データレジスタを構成するラッチ回路を2本のビット線に1つの割合で配する構成においても過書き込みベリファイ機能を実現できるようにし、高集積化・大容量化に好適で且つ動作の信頼性の高い不揮発性半導体記憶装置を提供することを目的とする。

【0017】

【課題を解決するための手段】上述の課題を解決するため、本発明の不揮発性半導体記憶装置は、電気的に書き換え可能なメモリセルが1以上接続されて構成されるメモリセルユニットが行および列のマトリクス状に配置され、列方向の複数のメモリセルユニットがビット線に接続され、行方向の複数のメモリセルがワード線に接続されてそれぞれ構成される第1および第2のメモリセルアレイと、前記第1のメモリセルアレイ内の隣接する第1および第2のビット線に選択的に接続され、第1および第2のビット線間で書き込み／読み出しデータの保持に共用される第1のラッチ回路と、前記第2のメモリセルアレイ内の隣接する第1および第2のビット線に選択的に接続され、第1および第2のビット線間で書き込み／読み出しデータの保持に共用される第2のラッチ回路とを具備し、外部からのアドレスに基づいて前記第1および第2のメモリセルアレイの一方をアクセス対象として選択し、前記選択されているメモリセルアレイ内の前記第1および第2のビット線の中で選択された一方のビット線側に過書き込み状態のメモリセルがある場合、その過書き込み状態のメモリセルのデータ、および前記過書き込み状態のメモリセルと同一ワード線に接続され且つ非選択状態の他方のビット線側に設けられているメモリセルのデータを、前記選択されているメモリセルアレイに対応するラッチ回路および非選択状態のメモリセルアレイに対応するラッチ回路にそれぞれ退避し、前記各メモリセルのデータが消去された後、前記退避されたデータを前記各対応するメモリセルに書き込むことを特徴とする。

【0018】この不揮発性半導体記憶装置においては、

9

データレジスタを構成するラッチ回路を2本のビット線に1つの割合で配する構成をそれぞれ有する2つのセルアレイが設けられており、これら2つのセルアレイは外部からのアドレスに応じて選択的にアクセスされる。このため、一方のセルアレイがデータ書き込み／読み出し動作の対象となっている場合には、他方のセルアレイは未使用状態となっているので、アクセス中のメモリセルアレイに過書き込み状態のメモリセルが検出された場合には、消去されるデータの退避先として、アクセス中のセルアレイに設けられたラッチ回路のみならず、未使用状態のセルアレイに設けられたラッチ回路も利用することができる。したがって、退避対象のデータの一部を未使用状態のセルアレイに設けられたラッチ回路に転送してそこに退避し、他方のデータをアクセス中のセルアレイに設けられたラッチ回路に退避しておくことにより、消去動作実行後に元のデータを対応するメモリセルに再書き込みすることが可能となる。よって、データレジスタを構成するラッチ回路を2本のビット線に1つの割合で配する構成においても過書き込みベリファイ機能を実現できるようになる。

【0019】ラッチ回路間のデータ転送は、通常のデータ読み出し・書き込みのための経路を利用して行うことができる。この場合、転送元のラッチ回路のデータは、通常のデータ読み出しのための経路を介して、外部とデータ入出力を行うためのデータ入出力端子に一旦読み出され、次いで、通常のデータ書き込みのための経路を介して、データ入出力端子上のデータが転送先のラッチ回路へ転送される。これにより、特別なハードウェアを設けることなく、ラッチ回路間のデータ転送を実現できる。

【0020】また、ラッチ回路間のデータ転送のための専用のデータ転送経路をそれらラッチ回路間に配することも可能であり、これにより、ラッチ回路間のデータ転送を高速に行うことが可能となる。

【0021】また、本発明は、未使用状態のメモリセルアレイに設けられたラッチ回路をデータの退避先として使用する代わりに、第1および第2のラッチ回路に選択的に接続され、接続された第1または第2のラッチ回路から出力されるデータをラッチする過書き込みベリファイ専用の第3のラッチ回路を設け、この第3のラッチ回路をデータ退避先として使用することを特徴とする。この構成によれば、セルアレイ間をまたがるデータ転送が不要となり、過書き込みベリファイをより高速に実行することが可能となる。

【0022】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。

(第1実施形態) 図1には、本発明の第1実施形態に係る不揮発性半導体記憶装置として、NAND型フラッシュE E P R O M全体の構成が示されている。このNAND

10

D型フラッシュE E P R O Mにおいては、そのメモリセルアレイは、第1のメモリセルアレイ11-1と第2のメモリセルアレイ11-2とに2分割されており、第1のメモリセルアレイ11-1に割り当てられたアドレス範囲に後続するアドレス範囲が第2のメモリセルアレイ11-2に割り当てられている。すなわち、これら第1および第2のメモリセルアレイ11-1、11-2は、一つのメモリセルアレイをビット線の長手方向と直交する方向に2分割し、分割されたセルアレイ同士を横に並べた構成となっている。この構成により、各メモリセルアレイ11-1、11-2のビット線長は、2分割しない場合に比べて半分となり、ビット線容量を軽減できる。したがって、各メモリセルアレイ11-1、11-2におけるデータ読み出し速度等の高速化を図ることができる。

【0023】また、第1および第2のメモリセルアレイ11-1、11-2の各々においてはビット線シールド法が適用されており、各メモリセルアレイにおいては、一本のワード線毎に2ページ分のメモリセルが接続されている。また、メモリセルアレイ11-1、11-2には、それぞれ1ページ分の読み出し／書き込みデータを保持するためのデータデータレジスタとして機能するセンス・ラッチ回路13-1、13-2が設けられている。

【0024】各メモリセルアレイ11-1、11-2におけるデータ書き込みおよび読み出し動作は、それら各セルアレイ内のビット線を奇数ビット線グループと偶数ビット線グループとに分けてそれらグループの一方を外部からのアドレスに応じて択一的に選択することにより行われる。これにより、各メモリセルアレイとそれに対応するセンス・ラッチ回路との間でページ単位でデータ書き込みおよび読み出し動作が実行される。

【0025】このように書き込み及び読み出し動作の単位となるページは各メモリセルアレイ内で閉じているため、2つのメモリセルアレイ11-1、11-2は独立に動作させることができる。したがって、外部からのアドレスによって例えばメモリセルアレイ11-1がアクセス対象として選択された場合には、メモリセルアレイ11-1に対するデータ書き込み・読み出し動作だけが行われ、メモリセルアレイ11-2は非使用状態となる。

【0026】また、このNAND型フラッシュE E P R O Mにおいては、メモリセルアレイ11-1、11-2にそれぞれ対応して、ロウデコーダ12-1、12-2、カラムデコーダ14-1、14-2、カラム選択ゲート15-1、15-2、シールド電源100、200が設けられており、またメモリセルアレイ11-1、11-2に共通のユニットとして、昇圧回路16、制御回路17、I/Oバッファ18、アドレス／コマンドバッファ19、およびコマンドデコーダ20が設けられてい

る。

【0027】メモリセルアレイ11-1は、行および列のマトリクス状に配設された多数のNANDストリングから構成されており、各NANDストリングは列方向に配列されたビット線BLに接続され、また各NANDストリング内のメモリセルは行方向に配列されたワード線WLに接続されている。1本のワード線WLに接続されるメモリセルの数は2ページ分であり、例えば、1ページが256バイトの場合は、 $256 \times 8 \times 2$ 個のメモリセルが同一行に配列されることになる。この場合、ビット線の本数も $256 \times 8 \times 2$ 本となる。

【0028】メモリセルアレイ11-1内の各ビット線BLの一端および他端は、それぞれ対応するビット線選択用NチャネルMOSトランジスタおよびビット線シールド用NチャネルMOSトランジスタを介してセンス・ラッチ回路13-1およびシールド電源100に接続されている。

【0029】例えば、メモリセルアレイ11-1内の第1カラム目、つまり左端の隣接する2本のビット線BL0、BL1に着目すると、偶数番目のビット線BL0の一端はNチャネルMOSトランジスタQ21を介してセンス・ラッチ回路13-1に接続され、またその他端はNチャネルMOSトランジスタQ23を介してシールド電源100に接続されている。同様に、奇数番目のビット線BL1の一端はNチャネルMOSトランジスタQ22を介してセンス・ラッチ回路13-1に接続され、またその他端はNチャネルMOSトランジスタQ24を介してシールド電源100に接続されている。

【0030】これらトランジスタQ21、Q22はビット線BL0、BL1を択一的にセンス・ラッチ回路13-1に接続するために設けられたものであり、トランジスタQ21のゲートには偶数ビット線グループを選択するための信号線EVENが接続され、またトランジスタQ22のゲートには奇数ビット線グループを選択するための信号線ODDが接続されている。これら信号線EVEN、ODDは、外部からのアドレスに応じて制御回路17によって選択的に付勢される。

【0031】また、トランジスタQ23、Q24は、ビット線BL0、BL1のうちセンス・ラッチ回路13-1に接続されない側のビット線をシールド電源100に接続するために設けられたものであり、トランジスタQ23のゲートには信号線EVENの反転信号EVEN $\bar{}$ 線が接続され、またトランジスタQ24のゲートには信号線ODDの反転信号ODD $\bar{}$ 線が接続されている。従って、トランジスタQ23、Q24のオン/オフ状態は、それぞれトランジスタQ21、Q22のオン/オフ状態とは逆転された状態にスイッチング制御される。よって、偶数番目のビット線BL0がセンス・ラッチ回路13-1に接続される場合には、そのビット線BL0はシールド電源100から分離され、奇数番目のビット線

BL1がシールド電源100に接続される。

【0032】シールド電源100の電位は、制御回路17によりデータ読み出し動作時は接地電位に設定され、データ書き込み動作時は電源電位VCCに設定される。このようなビット線シールド構造は、隣接する2本のビット線単位でメモリセルアレイ11-1内の全てのビット線に対して適用されている。これにより、隣接するビット線間の容量に影響されずに、データ読み出し・書き込み動作を正常に行うことが可能となる。

【0033】ロウデコーダ12-1は、アドレス/コマンドバッファ19から供給されるセルアレイ選択信号AR1によって活性化されるように構成されており、活性化状態にあるときは、アドレス/コマンドバッファ19から供給されるロウアドレスをデコードし、そのデコード結果に応じてメモリセルアレイ11-1内のワード線WL1~WLmの一つを選択する。セルアレイ選択信号AR1は第1のメモリセルアレイ11-1を選択するためのものであり、例えば、外部から与えられるロウアドレスの最上位ビットが“0”の時に付勢される。この場合、ロウデコーダ12-1には、ロウアドレスとしてその最上位ビットを除く残りのビットが供給されることになる。

【0034】カラムデコーダ14-1はアドレス/コマンドバッファ19から供給されるカラムアドレスをデコードし、そのデコード結果に応じてカラム選択信号CSL1-1~1-Kの一つを選択する。このカラムデコーダ14-1もアドレス/コマンドバッファ19からのセルアレイ選択信号AR1が付勢されたときのみ動作するように構成されている。

【0035】カラム選択ゲート15-1は、カラムデコーダ14-1からのカラム選択信号CSL1-1~1-Kに応じて、メモリセルアレイ11-1およびセンス・ラッチ回路13-1それぞれの対応する1カラムを選択する。

【0036】第2のメモリセルアレイ11-2、およびそのビット線シールド構造、並びに第2のメモリセルアレイ11-2に対応するロウデコーダ12-2、カラムデコーダ14-2、カラム選択ゲート15-2、シールド電源200は、それぞれ第1のメモリセルアレイ11-1のそれらと同じ構成である。ただし、ロウデコーダ12-2およびカラムデコーダ14-2は、セルアレイ選択信号AR1ではなく、アドレス/コマンドバッファ19から供給されるセルアレイ選択信号AR2によって活性化されるように構成されている。セルアレイ選択信号AR2は第2のメモリセルアレイ11-2がアクセス対象であることを示す信号であり、例えば、外部から与えられるロウアドレスの最上位ビットが“1”の時に付勢される。この場合、ロウデコーダ12-2には、ロウアドレスとしてその最上位ビットを除く残りのビットが供給されることになる。



13

【0037】昇圧回路16は書き込み動作や消去動作に必要な高電圧を供給する。制御回路17は、コマンドデコード20によってデコードされる外部からのコマンドに従ってフラッシュEEPROM内の各ユニットの動作を制御するものであり、書き込み動作、消去動作、読み出し動作、書き込みベリファイ動作、過書き込みベリファイ動作、過書き込みベリファイに伴うデータ退避動作、退避データをセンス・ラッチ回路に再ロードする動作、及びワード線単位で2ページ分のデータを一括消去するページ消去動作等を制御する。I/Oバッファ18はチップ外部とのインターフェース部であり、ここには、データ入出力端子と制御信号入力端子などが含まれている。データ入出力端子は、外部からのデータ、アドレス、コマンドの入力と、外部へのデータ出力に用いられる。

【0038】次に、図2を参照して、センス・ラッチ回路周辺の具体的な回路構成を説明する。ここでは、第1のメモリセルアレイ11-1内のビット線のうち、第1カラム目の2本のビット線BL0、BL1に対応する構成だけが代表して示されている。

【0039】ビット線BL0、BL1には、それぞれ多数のNANDストリングが接続されている。NANDストリングは、図示のように、セレクトゲートトランジスタST1、セルトランジスタMC1~MC16、およびセレクトゲートトランジスタST2が直列接続されて構成されている。ビット線BL0の一端は前述したようにNチャネルMOSトランジスタQ21を介してセンス／ラッチ回路13-1に接続され、またその他端はNチャネルMOSトランジスタQ23を介してシールド電源100に接続されている。同様に、ビット線BL1の一端はNチャネルMOSトランジスタQ22を介してセンス／ラッチ回路13-1に接続され、またその他端はNチャネルMOSトランジスタQ24を介してシールド電源100に接続されている。

【0040】1カラム分に対応するセンス・ラッチ回路13-1は、図示のように、ラッチ回路LTと、その周辺のNチャネルMOSトランジスタQ1~Q4からなるセンス回路とから構成されている。ラッチ回路LTは2つのCMOSインバータIN1、IN2から構成されている。このラッチ回路LTの2つのノードA、Bは互いに反転関係の安定電位を保持する。

【0041】ノードA、Bは、カラム選択ゲートとして機能するNチャネルMOSトランジスタQ10、Q11を介してデータ入出力線I/O、I/O<sup>−</sup>にそれぞれ接続されている。トランジスタQ10、Q11のゲートには、カラムデコード14-1からのカラム選択信号CSL1-1が供給される。このカラム選択信号CSL1-1によってトランジスタQ10、Q11をオンさせることにより、外部からラッチ回路LTへのデータのロー

14

ド、およびラッチ回路LTから外部へのデータの読み出し動作を、データ入出力線I/O、I/O<sup>−</sup>を介して行うことが可能となる。外部とのデータ転送幅が1バイトの場合には、通常、データ入出力線I/O、I/O<sup>−</sup>は8組設けられ、各データ入出力線I/O、I/O<sup>−</sup>の組毎に1つのカラムがカラム選択信号CSL1-1によって同時に選択されることになる。これにより、同時に8個のラッチ回路LTが選択されるので、1バイト単位で外部とのデータ転送が行われる。

【0042】センス回路のトランジスタQ1、Q3のカレントパスはノードAと接地端子間に直列接続されており、またセンス回路のトランジスタQ2、Q4のカレントパスはノードBと接地端子間に直列接続されている。トランジスタQ1、Q2のゲートには、それぞれ制御回路17からのタイミング信号φ1、φ2が入力される。また、トランジスタQ3、Q4のゲートは、トランジスタQ21、Q22の共通接続点に共通接続されている。

【0043】また、このトランジスタQ21、Q22の共通接続点と前述のノードAとの間には、NチャネルMOSトランジスタQ6、Q7のカレントパスが直列接続されており、またこれらトランジスタQ6、Q7の接続点とプリチャージ電源電位供給端子(3.3V)の間にはPチャネルMOSトランジスタQ5のカレントパスが接続されている。

【0044】PチャネルMOSトランジスタQ5は、データ読み出し時に、トランジスタQ21、Q22によって選択された一方のビット線(BL0またはBL1)をプリチャージするためのものであり、そのゲートには制御回路17からのプリチャージ信号PREが供給される。NチャネルMOSトランジスタQ6はビット線のプリチャージ電位を調整するために設けられたものであり、プリチャージ電源電位(3.3V)をクランプして、ビット線のプリチャージ電位を、トランジスタQ6のゲートに供給される信号CLAMPの電圧値とトランジスタQ6のしきい値電圧とによって決まる値に制限する。

【0045】NチャネルMOSトランジスタQ7は書き込みデータを転送するための転送ゲートとして機能するものであり、データ書き込み動作時には、このトランジスタQ7のゲートに制御回路17からプログラム信号PROGが与えられる。これにより、ラッチ回路LTに保持されている書き込みデータ(ノードAの電位)が、トランジスタQ21、Q22によって選択された一方のビット線(BL0またはBL1)に転送される。このデータ書き込み時には、トランジスタQ6のゲートに供給される信号CLAMPの電圧値はトランジスタQ6のクランプ機能が作用しないような値に高められる。

【0046】さらに、前述のノードBには、書き込みベリファイおよび過書き込みベリファイの結果をモニタするための回路が接続されている。この回路は、制御回路17にベリファイ結果を通知するためのベリファイ線V

50

15

Fと接地端子との間にカレントパスが直列接続されたNチャネルMOSトランジスタQ8およびQ9から構成されている。トランジスタQ8のゲートはノードBに接続されており、またトランジスタQ9のゲートには、ペリファイ時に制御回路17からタイミング信号φ3が供給される。

【0047】次に、図2の回路の動作を図3乃至図8を参照して説明する。以下の説明では、ビット線BL0が選択され、ビット線BL1がシールドされる場合を例にとって説明する。

【0048】図3は、メモリセルにデータを書き込む動作を示している。書き込み動作では、まず、データ入出力線I/O、I/O<sup>−</sup>を介して外部からラッチ回路LTに書き込みデータがロードされる。メモリセルにデータ“0”を書き込む場合、ラッチ回路LTのノードAは実線で示すようにローレベルに設定され、ノードBはハイレベルに設定される。すなわち、カラム選択信号CSL1-1によってトランジスタQ10、Q11をオンとし、データ入出力線I/O、I/O<sup>−</sup>を介してラッチ回路LTのノードAをローレベル、ノードBをハイレベルに設定する。

【0049】この後、プログラム信号PROGによってトランジスタQ7をオンさせることにより、トランジスタQ21、Q22によって選択されたビット線BL0上に書き込みデータが転送され、このデータがワード線を選択されているメモリセルに書き込まれる。

【0050】図4は、データの書き込み状態をペリファイする書き込みペリファイ動作を示している。この場合、まず、ビット線BL0がトランジスタQ5によってプリチャージされ、この後、選択するメモリセルのワード線の電位がペリファイレベル(0.5V)に上昇される。選択されたメモリセルにデータが書き込まれ、そのしきい値電圧が十分高くなっている場合には、そのメモリセルはオフとなっているため、ビット線BL0は実線で示すようにプリチャージ電位を保持する。しかし、データが十分に書き込まれていない場合、メモリセルはオンとなっているため、ビット線BL0の電荷は放電され、実線で示すように電位が低下する。

【0051】この後、タイミング信号φ2によってトランジスタQ2をオンさせる。データが十分書き込まれておらずビット線BL0の電位が低い場合、トランジスタQ4はオフするため、ラッチ回路LTのノードBは実線で示すようにハイレベル、ノードAはローレベルとなる。すなわち、メモリセルにデータが十分書き込まれていない場合、ラッチ回路LTの状態は書き込み開始時のまま変化しない。このとき、トランジスタQ8はオンしており、タイミング信号φ3によってトランジスタQ9をオンさせると、ペリファイ線VFはローレベルとなる。ペリファイ線VFがローレベルの場合、ラッチ回路LTに保持された書き込みデータを用いて再度、前述し

16

た書き込み動作が実行される。

【0052】一方、メモリセルにデータが十分書き込まれ、ビット線BL0の電位が高い場合は、トランジスタQ4はオンとなり、ラッチ回路LTの状態が変化する。すなわち、ラッチ回路LTのノードBは破線で示すようにローレベル、ノードAはハイレベルとなり、またトランジスタQ8はオフとなる。このため、全メモリセルにデータが十分書き込まれ、全てのラッチ回路LTのノードBがローレベル、ノードAがハイレベルになると、ペリファイ線VFがハイレベルとなり、書き込み動作が終了される。

【0053】図5は、データの読み出し動作を示している。メモリセルのデータを読み出す場合、まず、前述したようにビット線BL0をプリチャージし、この後、タイミング信号φ1によってトランジスタQ1をオンにしてラッチ回路LTをリセットする。次いで、選択メモリセルのワード線を0Vにし、同一NANDストリング内の非選択メモリセルのワード線には4.5Vを与える。選択されたメモリセルにデータが書き込まれ、しきい値電圧が十分高くなっている場合、そのメモリセルはオフするため、ビット線BL0はプリチャージ電位を保持する。一方、データが書き込まれていない場合、メモリセルはオンするため、ビット線BL0の電荷は放電されその電位は低下する。

【0054】この状態において、タイミング信号φ2によってトランジスタQ2をオンさせる。すると、メモリセルにデータが書き込まれておらずビット線BL0の電位が低い場合には、トランジスタQ4はオフしているため、ラッチ回路LTのノードBは破線で示すようにハイレベル、ノードAはローレベルとなる。また、メモリセルにデータが書き込まれている場合には、トランジスタQ4はオンするため、ラッチ回路LTのノードBは実線で示すようにローレベル、ノードAはハイレベルに反転する。このようにしてラッチ回路LTに読み出されたデータは、トランジスタQ10、Q11を介して入出力データ線I/O、I/O<sup>−</sup>に伝送される。

【0055】次に、書き込みペリファイおよび過書き込みペリファイを含む一連の書き込みシーケンスについて説明する。前述したように、データ書き込み動作は、選択されたページ内の全てのメモリセルそれぞれに最適な書き込み条件でデータが書き込まれるまで、書き込みペリファイを行ないながら繰り返し実行される。1回のデータ書き込み動作が終了すると自動的に書き込みペリファイが開始される。書き込みが不十分なセルがある場合には、そのセルに対して再び書き込み動作が開始される。選択されたページ内の全てのセルが十分に書き込まれ、書き込みペリファイがパスすると、過書き込みペリファイが開始される。

【0056】過書き込みペリファイは、前述のデータ書き込み動作によってしきい値電圧が非選択ワード線電位

17

(4.5V)以上にまで過書き込みされてしまったメモリセルの存在の有無を調べ、存在する場合にはその過書き込み不良を修正するというサイクルである。この過書き込みベリファイでは、選択されたページに属するメモリセルを含むNANDストリング内の全てのワード線に非選択電位(4.5V)を与えた状態で、読み出し動作が行われる。この読み出し動作により、書き込みページ内の全てのビット線それぞれが放電されて電位が低下したならば、過書き込みセルが無いと判断され、書き込みシーケンスは正常に終了する。一方、放電されないビット線がある場合には、そのビット線に対応する書き込み対象のセルが過書き込み状態であると判断され、その過書き込みセルの修正サイクルに入る。

【0057】過書き込みセルの修正サイクルは、過書き込みセルと同一ワード線に接続されている全てのメモリセルのデータを一旦消去した後に、データ書き込みを再実行することによって行われる。この場合、データ消去の実行に先立ち、消去対象のメモリセルのデータはそれぞれ対応するラッチ回路LTに読み出してそこに退避しておくというセルデータ退避処理が行われる。これは、外部からラッチ回路LTにロードされた書き込みデータは、前述の書き込みベリファイによって既に失われているためである。しかし、隣接する2本のビット線BL0、BL1間で一個のラッチ回路LTを共用するというビット線シールド構成を採用したメモリセルアレイ11-1においては、一本のワード線に接続されている2ページ分のメモリセルが同時にデータ消去されてしまうにも拘わらず、データ退避先として利用できるラッチ回路LTは1ページ分のデータサイズしかない。そこで、本実施形態のセルデータ退避処理では、セルデータの退避先として、メモリセルアレイ11-1内のラッチ回路LTだけでなく、現在選択されていないメモリセルアレイ11-2のラッチ回路LTも利用される。このようにして2ページ分のセルデータを退避した後、2ページ分のデータ消去が一括して行われる。この後、書き込みシーケンスは最初に戻り、書き込み→書き込みベリファイ→過書き込みベリファイを、全てのセルが正常に書き込まれるまで繰り返す。過書き込み不良は通常一時的なもので、一度書き込みをやり直せば正常に書き込みが行われる。

【0058】以下、図6のフローチャートを参照して、上述した書き込みシーケンスの制御の流れを具体的に説明する。すなわち、まず、書き込みデータがラッチ回路LTにロードされ(ステップS11)、ラッチ回路LTのデータを選択されているビット線BL0上に転送することにより、前述した書き込み動作が実行される(ステップS12)。この書き込み動作後、書き込みベリファイ動作(ステップS13)が実行される。書き込みが不十分なセルがある場合には、そのセルに対して再び書き込み動作(ステップS12)が開始され、選択された書

18

き込みページ内の全てのセルが十分に書き込まれるまで書き込み動作(ステップS12)および書き込みベリファイ動作(ステップS13)が繰り返し実行される。

【0059】書き込みベリファイ動作をパスすると、しきい値電圧が4.5Vを越えるメモリセルをベリファイする過書き込みベリファイ動作(ステップS14)が行われる。この結果、過書き込み状態のメモリセルがない場合、一連の書き込みシーケンスが動作が終了する。

【0060】一方、書き込みページ内に過書き込み状態のメモリセルがある場合、まず、セルデータの退避処理が行われる(ステップS15)。このセルデータ退避処理では、最初に、書き込み対象となっているビット線BL0側のメモリセルのデータがラッチ回路LTに読み出される。ついで、そのラッチ回路LTのデータが図1のI/Oバッファを介してメモリセルアレイ11-2側の対応するカラムのラッチ回路LTに転送される。そして、今度は、書き込み対象となっているビット線BL0側のメモリセルと同一ワード線に接続されているシールドビット線BL1側のメモリセルのデータがラッチ回路LTに転送される。このようにして、選択側及びシールド側の双方のビット線に設けられた2ページ分のセルデータが、メモリセルアレイ11-1、11-2のラッチ回路LTに分散して退避される。

【0061】この後、ページ消去が実行され、過書き込み状態のメモリセルを含む2ページ分のデータが一括消去される(ステップS16)。この後、メモリセルアレイ11-1、11-2のラッチ回路LTに退避されたデータを用いて、再度書き込み動作及び書き込みベリファイ動作が行われ(ステップS12、S13)、メモリセルアレイ11-1、11-2のラッチ回路LTに退避されたデータが各対応するメモリセルに書き込まれる。書き込み動作では、まず、選択側のセルアレイ11-1のラッチ回路LTに保持されているシールドビット線側のページを書き込む。この書き込みが正常に終了したら、I/Oバッファ18を介して非選択側のセルアレイ11-2のラッチ回路LTの内容を選択側のセルアレイ11-1のラッチ回路LTに移し、選択ビット線側のページ書き込みが行われる。

【0062】図7は、前記過書き込みベリファイにて実行される具体的な動作を示している。過書き込みベリファイ動作では、図4で説明した書き込みベリファイ動作と同様に、まず、ビット線BL0がプリチャージされ、この後、データ書き込み動作が行われたメモリセルを含むNANDストリング内の全てのメモリセルのワード線の電位が非選択電位(4.5V)に設定される。書き込みを行っていたメモリセルが過書き込み状態の場合、そのメモリセルはオフとなっているため、NANDストリング内の他のセルデータの内容によらずビット線BL0はプリチャージ電位を保持する。一方、書き込みを行っていたメモリセルが過書き込み状態でなく正常にデータ

19

書き込みされている場合には、そのメモリセルはオンとなっているため、ビット線BL0の電荷は放電され電位が低下する。この後、タイミング信号φ1によってトランジスタQ1をオンとする。

【0063】すると、データが正常に書き込まれている場合には、ビット線BL1の電位が低いので、トランジスタQ3、Q4はオフし、ラッチ回路LTのノードAはハイレベル、ノードBはローレベルとなる。この場合、トランジスタQ8はオフしており、タイミング信号φ3によってトランジスタQ9がオンした場合、ペリファイ

線VFはハイレベルとなる。したがって、書き込み動作は終了する。

【0064】一方、過書き込み状態のメモリセルがある場合、ビット線BL0の電位はハイレベルであるため、トランジスタQ3、Q4はオンとなっている。このため、タイミング信号φ1によってトランジスタQ1をオンすると、ラッチ回路LTのノードAはローレベル、ノードBはハイレベルとなる。この場合、トランジスタQ8はオンするため、タイミング信号φ3によってトランジスタQ9がオンした場合、ペリファイ線VFはロー

レベルとなる。このように、ペリファイ線VFがローレベルの場合、制御部17は過書き込み状態のメモリセルが存在すると認識し、そして、セルデータの退避処理に移行する。

【0065】図8は、セルデータの退避処理にて実行されるメモリセルからラッチ回路LTへのデータのコピー動作を示すものである。このコピー動作は前述した読み出し動作と同様に、まず、ビット線BL0がプリチャージされ、この後、メモリセルに通常の読み出しバイアス

が供給される。すなわち、選択ワード線がローレベル(0V)とされ、非選択ワード線がハイレベル(4.5V)とされる。この後、タイミング信号φ1によってトランジスタQ1をオンとする。すると、データが書き込まれておらず、ビット線BL0の電位が低い場合、トランジスタQ3はオフ、ラッチ回路LTのノードAは破線で示すようにハイレベル、ノードBはローレベルを保持する。

【0066】一方、データが正常に書き込まれている場合、あるいは過書き込み状態のメモリセルの場合、ビット線BL0の電位はハイレベルであるため、トランジスタQ3はオンとなっている。このため、タイミング信号φ1によってトランジスタQ1をオンすると、ラッチ回路LTのノードAはローレベル、ノードBはハイレベルとなる。

【0067】このようにしてラッチ回路LTにコピーされたビット線BL0側の書き込み対象のメモリセルのデータはメモリセルアレイ11-2の対応するカラムのラッチ回路LTに転送され、次いで、ビット線BL1側の対応するメモリセルのデータが同様にして対応するラッチ回路LTにコピーされる。

20

【0068】次に、図9および図10を参照して、選択されたメモリセルアレイと非選択状態のメモリセルアレイ間をまたがるセルデータの転送動作について説明する。図9は、メモリセルアレイ11-1、11-2それぞれの1カラム分に対応するセルデータ転送回路の構成を示している。

【0069】まず、メモリセルアレイ11-1側に設けられたデータ出力系回路の構成について説明する。前述したように、メモリセルアレイ11-1の第1カラム目の2本のビット線BL0、BL1間で共用されるラッチ回路LTは、カラム選択ゲートトランジスタQ10、Q11を介してデータ入出力線I/O、I/O<sup>−</sup>に接続されている。実際には、このデータ入出力線I/O、I/O<sup>−</sup>は8組用意されており、データ転送は8ビットつまり1バイト単位で実行されるが、ここでは、簡単のために1ビット分のデータ転送についてのみ説明する。

【0070】データ入出力線I/O、I/O<sup>−</sup>には、出力アンプ100を介して出力ラッチ回路101が接続されている。出力ラッチ回路101は、セルアレイ11-1の2本のビット線BL0、BL1の一方から同時に読み出されるデータを保持するために設けられたものである。出力ラッチ回路101はトランスペアレント型のラッチ回路として実現されており、図示のように、2つのCMOS転送ゲート回路TG1、TG2と、3つのCMOSインバータ110、111、112とから構成されている。インバータ111、112は、CMOS転送ゲート回路TG2と共同してラッチ回路を構成する。

【0071】インバータ110は、制御回路17からCMOS転送ゲート回路TG1のPチャネルMOSトランジスタのゲートおよびCMOS転送ゲート回路TG2のNチャネルMOSトランジスタのゲートにそれぞれ供給される読み出し制御信号REB<sup>−</sup>の反転信号を生成し、それをCMOS転送ゲート回路TG1のNチャネルMOSトランジスタのゲートおよびCMOS転送ゲート回路TG2のPチャネルMOSトランジスタのゲートにそれぞれ供給する。

【0072】この出力ラッチ回路101においては、読み出し制御信号REB<sup>−</sup>がハイレベルからローレベルに切り替えられると、CMOS転送ゲート回路TG2はオンからオフに、CMOS転送ゲート回路TG1はオフからオンに切り替えられる。これにより、インバータ111、112およびオン状態のCMOS転送ゲート回路TG2とのループによるデータラッチ状態は解除される。また、これと同時に、新たに出力アンプ100から読み出されるデータがCMOS転送ゲート回路TG1およびインバータ111、112を介して出力される。これにより、それまでインバータ111、112およびCMOS転送ゲート回路TG2によってラッチおよび出力されていたデータは、出力アンプ100からの新たなデータに変更される。そして、読み出し制御信号REB<sup>−</sup>がロ

21

ーレベルからハイレベルに切り替えられると、CMOS 転送ゲート回路TG2はオフからオンに、CMOS 転送ゲート回路TG1はオンからオフに切り替えられる。これにより、現在出力中のデータがラッチされ、次の新たなデータが読み出されるまで保持される。

【0073】出力ラッチ回路101の出力は、出力バッファ102、および出力マルチプレクサ103を介してI/Oパッド104に接続されている。I/Oパッド104は、チップ外部に導出されたI/Oピンと接続されている。

【0074】出力マルチプレクサ103は、セルアレイ11-1からのデータ出力を指示する制御回路17からのデータ出力制御信号OUT1に応じて出力バッファ102からのデータをI/Oパッド104に出力する。出力マルチプレクサ103は、図示のように、データ出力制御信号OUT1の反転信号を生成するインバータ113と、データ出力制御信号OUT1およびその反転信号によって制御されるクロックドインバータ114とから構成されている。

【0075】メモリセルアレイ11-2においても、メモリセルアレイ11-1と同様の構成のデータ出力系回路が設けられている。すなわち、メモリセルアレイ11-2のデータ入出力線I/O、I/O<sup>−</sup>に読み出されるデータは、出力アンプ200、出力ラッチ回路201、出力バッファ202、および出力マルチプレクサ203を介してI/Oパッド104に出力される。

【0076】なお、メモリセルアレイ11-1、11-2にそれぞれ対応するデータ出力制御信号OUT1、OUT2は択一的に発生され、メモリセルアレイ11-1、11-2のなかでデータ読み出し対象のセルアレイからのデータだけがデータ出力可能となる。

【0077】次に、メモリセルアレイ11-1、11-2に共通のデータ入力系回路の構成について説明する。I/Oパッド104には、入力バッファ301を介して入力ラッチ回路302が接続されている。入力ラッチ回路302は、外部からI/Oパッド104に入力される書き込みデータ、またはメモリセルアレイ11-1、11-2の一方から他方に転送されるセルデータを出力及びラッチするために設けられている。入力ラッチ回路302は、前述した出力ラッチ回路101、201と同様の回路構成にて構成されており、制御回路17からの書き込み制御信号WEB<sup>−</sup>によって動作制御される。

【0078】入力ラッチ回路302から出力されるデータは、メモリセルアレイ11-1側に設けられたデータロード制御回路DL1とメモリセルアレイ11-2側に設けられたデータロード制御回路DL2に共通に供給される。データロード制御回路DL1、DL2はそれぞれ制御回路17からのデータ入力制御信号DIN1、DIN2によって動作制御される。データ入力制御信号DIN1がアクティブステートつまりハイレベルに付勢され

22

たときは、入力ラッチ回路302から出力されるデータはメモリセルアレイ11-1側のデータ入出力線I/O、I/O<sup>−</sup>上にロードされ、またデータ入力制御信号DIN2がアクティブステートつまりハイレベルに付勢されたときは、入力ラッチ回路302から出力されるデータはメモリセルアレイ11-2側のデータ入出力線I/O、I/O<sup>−</sup>上にロードされる。

【0079】メモリセルアレイ11-1側に設けられたデータロード制御回路DL1は、図示のように1組のデータ入出力線I/O、I/O<sup>−</sup>に接続されており、I/O線を駆動する回路と、I/O<sup>−</sup>線を駆動する回路とから構成されている。

【0080】I/O線を駆動する回路は、図示のように、電源VCC端子と接地端子間にカレントパスが直列接続されたPチャネルMOSトランジスタ115およびNチャネルMOSトランジスタ116と、PチャネルMOSトランジスタ115を駆動制御する2入力NANDゲート117と、NチャネルMOSトランジスタ116を駆動制御する2入力NORゲート118とから構成されている。2入力NANDゲート117および2入力NORゲート118の各一方の入力は、インバータ303を介して対応する入力ラッチ回路302の出力に接続されており、また各他方の入力には制御回路17から出力されるデータ入力制御信号DIN1が供給される。

【0081】同様に、I/O<sup>−</sup>線を駆動する回路は、図示のように、電源VCC端子と接地端子間にカレントパスが直列接続されたPチャネルMOSトランジスタ119およびNチャネルMOSトランジスタ120と、PチャネルMOSトランジスタ119を駆動制御する2入力NANDゲート121と、NチャネルMOSトランジスタ120を駆動制御する2入力NORゲート122とから構成されている。2入力NANDゲート121および2入力NORゲート122の各一方の入力は、対応する入力ラッチ回路302の出力に接続されており、また各他方の入力には制御回路17から出力されるデータ入力制御信号DIN1が供給される。

【0082】また、メモリセルアレイ11-2側に設けられたデータロード制御回路DL2も図示のように各データロード制御回路DL1と同様の回路構成にて実現されている。

【0083】以下、この図9の回路における通常のデータ読み出し/書き込み動作時のデータ転送動作、および過書き込みデータの訂正の際のセルデータ退避動作について説明する。

【0084】(1)セルアレイ11-1からの通常のデータ読み出し動作では、ラッチ回路LTに読み出されたセルデータは、CSL1-1が付勢されることにより、データ入出力線I/O、I/O<sup>−</sup>上に出力され、出力アンプ100に送られる。制御回路17によって出力アンプ活性化信号IOSEN1-1が付勢されると、データ

23

入出力線 I/O、I/O<sup>−</sup>上のデータが増幅されて出力ラッチ回路 101 に送られ、信号 REB<sup>−</sup>の制御によって出力ラッチ回路 101 に取り込まれてそこで一時保持される。出力ラッチ回路 101 の出力は出力バッファ 102 を介して出力マルチプレクサ 103 に送られる。セルアレイ 11-1 からのデータ読み出しの場合には、アレイ選択信号 AR1 に対応する制御回路 17 からの信号 OUT1 だけが付勢され、信号 OUT2 は付勢されない。従って、セルデータは出力マルチプレクサ 103 を介して I/Oパッド 104 上に出力される。

【0085】(2) I/Oパッド 104 を介して外部から入力される書き込みデータを選択セルアレイのセンス・ラッチ回路にロードする場合には、I/Oパッド 104 に与えられたデータは、入力バッファ 301 を介して入力ラッチ回路 302 に送られ、信号 WEB<sup>−</sup>の制御によって入力ラッチ回路 302 に取り込まれてそこで一時保持される。入力ラッチ回路 302 の出力は、データロード制御部 DL1、DL2 の双方に送られる。

【0086】セルアレイ 11-1 が外部からのアドレスによって選択されている場合には、制御回路 17 によって信号 DIN1 が付勢され、これによりデータロード制御部 DL1 が活性化されて、セルアレイ 11-1 のデータ入出力線 I/O、I/O<sup>−</sup>に入力される。そして、カラムアドレス信号に応じて所定のカラム選択信号 CSL が付勢されることにより、対応するカラムのラッチ回路 L に書き込みデータが保持される。

【0087】一方、セルアレイ 11-2 が外部からのアドレスによって選択されている場合には、制御回路 17 によって信号 DIN2 が付勢され、これによりデータロード制御部 DL2 が活性化されて、セルアレイ 11-2 のデータ入出力線 I/O、I/O<sup>−</sup>に入力される。そして、カラムアドレス信号に応じて所定のカラム選択信号 CSL が付勢されることにより、対応するカラムのラッチ回路 L に書き込みデータがロードされる。

【0088】(3) 過書き込みデータの訂正の際のセルデータの退避動作は、(1) の読み出し、及び (2) のデータロード動作を制御回路 17 の制御の下に内部で連続して行うことにより実現できる。

【0089】以下、このセルデータの退避動作を図 10 のタイミングチャートを参照して説明する。ここでは、セルアレイ 11-1 における偶数ビット線グループ内の所定の 1 ページに対する書き込み動作において過書き込みが検出され、その書き込みページのワード線に接続される偶数番目および奇数番目の 2 ページ分のメモリセルのデータを退避する場合を想定する。

【0090】まず、アレイ選択信号 AR1 が付勢された状態で、セルアレイ 11-1 における偶数ビット線側の 1 ページ分のセルデータ (EVENセル) がセンス・ラッチ回路 13-1 に取り込まれる。次いで、センス・ラッチ回路 13-1 から I/Oパッド 104 へのデータ転

24

送が 1 バイト単位で開始される。

【0091】ここで、左端の偶数ビット線 BL0 側のメモリセルに着目すると、ビット線 BL0、BL1 で共用されるラッチ回路 LT には、まず、偶数ビット線 BL0 側のメモリセルから読み出されたセルデータが保持される。そして、そのラッチ回路 LT に保持されたセルデータは、CSL1-1 が付勢されることにより、データ入出力線 I/O、I/O<sup>−</sup>上に出力され、出力アンプ 100 に送られる。制御回路 17 によって出力アンプ活性化信号 IOSEN1-1 が付勢されると、データ入出力線 I/O、I/O<sup>−</sup>上のデータが増幅されて出力ラッチ回路 101 に送られ、信号 REB<sup>−</sup>の制御によって出力ラッチ回路 101 に取り込まれてそこで一時保持される。出力ラッチ回路 101 の出力は出力バッファ 102 を介して出力マルチプレクサ 103 に送られる。そして、信号 OUT1 が付勢されることにより、出力マルチプレクサ 103 から I/Oパッド 104 にセルデータが出力される。

【0092】この後、選択アレイはセルアレイ 11-1 から 11-2 に切り替えられ、アレイ選択信号 AR2 が付勢される。そして、I/Oパッド 104 上のセルデータが入力バッファ 301 を介して入力ラッチ回路 302 に送られ、信号 WEB<sup>−</sup>の制御によって入力ラッチ回路 302 に取り込まれてそこで一時保持される。この後、制御回路 17 によって信号 DIN2 が付勢され、これによりデータロード制御部 DL2 が活性化されて、セルデータはセルアレイ 11-2 のデータ入出力線 I/O、I/O<sup>−</sup>に入力される。そして、メモリセルアレイ 11-1 から読み出したセルデータと同一カラムを選択するカラム選択信号 CSL2-1 が付勢されることにより、メモリセルアレイ 11-2 の左端のカラムに対応するラッチ回路 LT にセルデータが退避される。

【0093】このようにして、セルアレイ 11-1 のセンスラッチ回路 13-1 からのセルデータの読み出し、およびセルアレイ 11-2 のセンスラッチ回路 13-2 へのセルデータのロードを、選択カラムを更新しながら繰り返し実行することにより、セルアレイ 11-1 における偶数ビット線側の 1 ページ分のセルデータ (EVENセル) がセルアレイ 11-2 のセンスラッチ回路 13-2 にバイト単位で退避される。

【0094】この後、アレイ選択信号 AR1 が再び付勢され、セルアレイ 11-1 における奇数ビット線側の 1 ページ分のセルデータ (ODDセル) がセンス・ラッチ回路 13-1 に取り込まれる。このようにして、1 本のワード線に接続されている偶数および奇数の 2 ページ分のセルデータを両方とも退避することができる。

【0095】ページ消去の後には、まず、センス・ラッチ回路 13-1 に退避されている奇数ビット線側の 1 ページ分のセルデータ (ODDセル) が対応するセルに再書き込みされる。この後、上記の動作を逆にたどることに

25

より、セルアレイ 1 1 - 2 に退避されている偶数ビット線側の 1 ページ分のセルデータ (EVENセル) がセンス・ラッチ回路 1 3 - 1 に転送されて、対応するセルに再書き込みされる。

【0 0 9 6】 以上のように、本第 1 実施形態によれば、2 つのセルアレイ 1 1 - 1、1 1 - 2 が排他的に選択される構成を採用することにより、選択セルアレイ 1 1 - 1 内の退避対象の 2 ページ分のセルデータのうちの 1 ページを選択されてない未使用状態のセルアレイ 1 1 - 2 に設けられたセンス・ラッチ回路 1 3 - 2 に転送してそこに保存し、残りの 1 ページのデータを選択セルアレイ 1 1 - 1 内のセンス・ラッチ回路 1 3 - 1 に保存しておくことが可能となる。よって、ラッチ回路 L T をビット線シールド構造のセルアレイ 1 1 - 1、1 1 - 2 の各々において隣接する 2 本のビット線に 1 つの割合で配する構成においても、過書き込みベリファイ機能を実現できるようになる。

【0 0 9 7】 (第 2 実施形態) 図 1 1 には、本発明の第 2 実施形態に係るフラッシュ E E P R O M の構成が示されている。このフラッシュ E E P R O M は、図 1 に示した第 1 実施形態のフラッシュ E E P R O M の構成に加え、さらに、1 ページ分の記憶サイズを有する書き戻し用ラッチ回路 1 3 - 3 が設けられている。この書き戻し用ラッチ回路 1 3 - 3 は、過書き込みデータの訂正の際のセルデータの退避に用いられる専用のラッチ回路であり、データ入出力線を介して第 1 及び第 2 のセルアレイ 1 1 - 1、1 1 - 2 の双方に接続されている。

【0 0 9 8】 すなわち、データ読み出し、データ書き込み、消去、書き込みベリファイ、過書き込みベリファイ動作は第 1 実施形態と同じであるが、本第 2 実施形態では、過書き込み不良を訂正する際のセルデータの退避先として、書き戻し用ラッチ回路 1 3 - 3 が用いられる。

【0 0 9 9】 選択セルアレイ 1 1 - 1 へのデータ書き込み動作において過書き込みセルが生じた場合には、選択セルアレイ 1 1 - 1 内の退避対象の 2 ページ分のセルデータのうちの 1 ページは、選択されてない未使用状態のセルアレイ 1 1 - 2 のセンス・ラッチ回路 1 3 - 2 ではなく、書き戻し用ラッチ回路 1 3 - 3 に転送されそこで保存される。同様に、選択セルアレイ 1 1 - 2 へのデータ書き込み動作において過書き込みセルが生じた場合には、選択セルアレイ 1 1 - 2 内の退避対象の 2 ページ分のセルデータのうちの 1 ページは、選択されてない未使用状態のセルアレイ 1 1 - 1 のセンス・ラッチ回路 1 3 - 1 ではなく、書き戻し用ラッチ回路 1 3 - 3 に転送されそこで保存される。

【0 1 0 0】 図 1 2 には、書き戻し用ラッチ回路 1 3 - 3 の構成とその周辺に設けられたセルデータ転送用回路の具体的な構成が示されている。書き戻し用ラッチ回路 1 3 - 3 は、セルアレイ 1 1 - 1、1 1 - 2 それぞれのセンス・ラッチ回路 1 3 - 1、1 3 - 2 と同じく 1 ペー

26

ジ分に相当する数のラッチ回路 L T を備えている。これら各ラッチ回路 L T は書き戻し専用のカラム選択ゲートを介して、書き戻し用ラッチ回路 1 3 - 3 内の内部データ入出力線 I / O、I / O $\bar{}$  に接続されている。

【0 1 0 1】 例えば、書き戻し用ラッチ回路 1 3 - 3 内の左端のラッチ回路 L T に着目すると、そのラッチ回路 L T は図示のように N チャネル MOS トランジスタ 4 0 1、4 0 2 を介して内部データ入出力線 I / O、I / O $\bar{}$  に接続されている。N チャネル MOS トランジスタ 4 0 1、4 0 2 の共通ゲートには、制御回路 1 7 から書き戻し用カラムゲート選択信号 C S L 3 - 1 が供給される。この書き戻し用カラムゲート選択信号 C S L 3 - 1 は、セルアレイ 1 1 - 1、1 1 - 2 における第 1 カラムを選択するカラム選択信号 C S L 1 - 1、C S L 2 - 1 に対応するものであり、第 1 カラム目のセルデータを退避するときに制御回路 1 7 によって付勢される。したがって、書き戻し用ラッチ回路 1 3 - 3 内の左端のラッチ回路 L T は、セルアレイ 1 1 - 1、1 1 - 2 各々の第 1 カラム目のセルデータの退避に使用される。同様に、書き戻し用ラッチ回路 1 3 - 3 内の右端のラッチ回路 L T はセルアレイ 1 1 - 1、1 1 - 2 各々の最終カラム目のセルデータの退避に使用される。

【0 1 0 2】 また、第 1 のセルアレイ 1 1 - 1 のデータ入出力線 I / O、I / O $\bar{}$  および第 2 のセルアレイ 1 1 - 2 のデータ入出力線 I / O、I / O $\bar{}$  には、それぞれ出力アンプ 5 0 1、5 0 2 が設けられている。これら出力アンプ 5 0 1、5 0 2 それぞれの出力は出力マルチプレクサ 5 0 3 に接続されている。出力マルチプレクサ 5 0 3 は、アレイ選択信号 A R 1、A R 2 に応じて出力アンプ 5 0 1、5 0 2 の一方を選択する。

【0 1 0 3】 この出力マルチプレクサ 5 0 3 の出力は、転送ゲートとして機能する N チャネル MOS トランジスタ 5 0 4 を介して、書き戻し用ラッチ回路 1 3 - 3 の入力側に設けられた内部データ入出力線ドライバ 5 0 7、5 0 8 に接続されると共に、転送ゲートとして機能する N チャネル MOS トランジスタ 5 0 4 を介して出力バッファ 1 8 2 にも接続されている。N チャネル MOS トランジスタ 5 0 4、5 0 5 は、出力マルチプレクサ 5 0 3 からの出力データを書き戻し用ラッチ回路 1 3 - 3 と出力バッファ 1 8 2 のどちらに転送するかを制御するためのものである。N チャネル MOS トランジスタ 5 0 4 のゲートには、制御回路 1 7 からの第 1 のリロード制御信号 R E L O A D 1 が入力され、また N チャネル MOS トランジスタ 5 0 5 のゲートには、インバータ 5 0 6 によって反転された第 1 のリロード制御信号 R E L O A D 1 が入力される。第 1 のリロード制御信号 R E L O A D 1 は、セルデータの退避処理動作を行うときにハイレベルとなり、通常の前データ読み出し動作の時はローレベルとなる。したがって、セルデータの退避処理動作を行うときは、N チャネル MOS トランジスタ 5 0 4 がオンし、

27

出力マルチプレクサ 5 0 3 から出力されるセルデータは、ドライバ 5 0 7、5 0 8 を介して書き戻し用ラッチ回路 1 3 - 3 の内部データ入出力線  $I/O$ 、 $I/O$  に転送される。

【0 1 0 4】書き戻し用ラッチ回路 1 3 - 3 の出力側には、その内部ラッチ回路から内部データ入出力線  $I/O$ 、 $I/O$  上に読み出されるデータを増幅して出力するための出力アンプ 5 0 9 が設けられている。この出力アンプ 5 0 9 の出力は転送ゲートとして機能する N チャンネル MOS トランジスタ 5 1 0 の一端に接続されている。また、この N チャンネル MOS トランジスタ 5 1 0 の他端には、入力バッファ 1 8 1 に一端が接続された N チャンネル MOS トランジスタ 5 1 1 の他端が接続されている。これら N チャンネル MOS トランジスタ 5 1 0、5 1 1 は、書き戻し用ラッチ回路 1 3 - 3 と入力バッファ 1 8 1 のどちらからのデータを選択セルアレイに転送するかを制御するためのものであり、N チャンネル MOS トランジスタ 5 1 0 のゲートには制御回路 1 7 からの第 2 のリロード制御信号  $RELOAD2$  が入力され、また N チャンネル MOS トランジスタ 5 1 1 のゲートにはインバータ 5 1 2 を介して第 2 のリロード制御信号  $RELOAD2$  の反転信号が入力される。第 2 のリロード制御信号  $RELOAD2$  は、書き戻し用ラッチ回路 1 3 - 3 に退避されたセルデータを元のセルアレイに書き戻すときにハイレベルとなり、通常のデータ書き込み動作の時はローレベルとなる。したがって、セルデータの書き戻し動作を行うときは、N チャンネル MOS トランジスタ 5 1 0 がオンし、出力アンプ 5 0 9 から出力されるセルデータは、2 入力 AND ゲート 5 1 2、5 1 5 の各一方の入力に供給される。

【0 1 0 5】2 入力 AND ゲート 5 1 2、5 1 5 それぞれの他方の入力には、アレイ選択信号  $AR1$ 、 $AR2$  に対応して制御回路 1 7 から発生される信号  $LEFT$ 、 $RIGHT$  が入力される。すなわち、セルアレイ 1 1 - 1 が選択されているときには、信号  $LEFT$  が付勢され、書き戻し用のセルデータ、または入力バッファ 1 8 1 を介して入力される外部からの書き込みデータは、ドライバ回路 5 1 3、5 1 4 を介してセルアレイ 1 1 - 1 側のデータ入出力線  $I/O$ 、 $I/O$  に供給される。一方、セルアレイ 1 1 - 2 が選択されているときには、信号  $RIGHT$  が付勢され、書き戻し用のセルデータ、または入力バッファ 1 8 1 を介して入力される外部からの書き込みデータは、ドライバ回路 5 1 6、5 1 7 を介してセルアレイ 1 1 - 2 側のデータ入出力線  $I/O$ 、 $I/O$  に供給される。

【0 1 0 6】図 1 3 は、書き戻し用ラッチ回路 1 3 - 3 へのセルデータの退避動作を示すタイミングチャートである。ここでは、セルアレイ 1 1 - 1 における偶数ビット線グループ内の所定の 1 ページに対する書き込み動作において過書き込みが検出され、その書き込みページの

28

ワード線に接続される偶数番目および奇数番目の 2 ページ分のメモリセルのデータを退避する場合を想定する。

【0 1 0 7】まず、アレイ選択信号  $AR1$  が付勢された状態で、セルアレイ 1 1 - 1 における偶数ビット線側の 1 ページ分のセルデータ (EVENセル) がセンス・ラッチ回路 1 3 - 1 に取り込まれる。次いで、センス・ラッチ回路 1 3 - 1 から書き戻し用ラッチ回路 1 3 - 3 へのデータ転送が 1 バイト単位で開始される。

【0 1 0 8】ここで、左端の偶数ビット線  $BL0$  側のメモリセルに着目すると、第 1 カラムのビット線  $BL0$ 、 $BL1$  で共用されるラッチ回路  $LT$  には、まず、偶数ビット線  $BL0$  側のメモリセルから読み出されたセルデータが保持される。そして、そのラッチ回路  $LT$  に保持されたセルデータは、 $CSL1-1$  が付勢されることにより、データ入出力線  $I/O$ 、 $I/O$  上に出力され、出力アンプ 1 0 0 によって増幅された後に出力マルチプレクサ 5 0 3 に入力される。次いで、第 1 のリロード制御信号  $RELOAD1$  によってオン状態に設定されているトランジスタ 5 0 4 を介して、セルデータは書き戻し用ラッチ回路 1 3 - 3 に送られる。そして、メモリセルアレイ 1 1 - 1 から読み出したセルデータと同一カラムを選択するカラム選択信号  $CSL3-1$  が付勢されることにより、メモリセルアレイ 1 1 - 2 の左端のカラムに対応する書き戻し用ラッチ回路 1 3 - 3 内のラッチ回路  $LT$  にセルデータが退避される。

【0 1 0 9】セルアレイ 1 1 - 1 のセンスラッチ回路 1 3 - 1 からのセルデータの読み出し、および書き戻し用ラッチ回路 1 3 - 3 へのセルデータの転送を、選択カラムを更新しながら繰り返し実行することにより、セルアレイ 1 1 - 1 における偶数ビット線側の 1 ページ分のセルデータ (EVENセル) がバイト単位で書き戻し用ラッチ回路 1 3 - 3 に退避される。

【0 1 1 0】この後、アレイ選択信号  $AR1$  が再び付勢され、セルアレイ 1 1 - 1 における奇数ビット線側の 1 ページ分のセルデータ (ODDセル) がセンス・ラッチ回路 1 3 - 1 に取り込まれる。このようにして、1 本のワード線に接続されている偶数番目及び奇数番目の 2 ページ分のセルデータを両方とも退避することができる。

【0 1 1 1】ページ消去の後には、まず、センス・ラッチ回路 1 3 - 1 に退避されている奇数ビット線側の 1 ページ分のセルデータ (ODDセル) が対応するセルに再書き込みされる。この後、書き戻し用ラッチ回路 1 3 - 3 に退避されたセルデータが、セルアレイ 1 1 - 1 のセンスラッチ回路 1 3 - 1 に書き戻される。

【0 1 1 2】図 1 4 は、書き戻し用ラッチ回路 1 3 - 3 に退避されたセルデータを、セルアレイ 1 1 - 1 のセンスラッチ回路 1 3 - 1 に書き戻す動作を示すタイミングチャートである。

【0 1 1 3】まず、書き戻し用ラッチ回路 1 3 - 3 の第 1 カラム目のラッチ回路  $LT$  を選択するためのカラム選



29

択信号CSL3-1が付勢され、これによりそのラッチ回路LTに退避されていたセルデータは出力アンプ509に送られそこで増幅される。この後、リロード制御信号RELOAD2が付勢されることによりトランジスタ510がオンし、このトランジスタ510を介してセルデータがANDゲート512、515に送られる。そして、信号LEFTが付勢されると、セルデータがメモリセルアレイ11-1のデータ入出力線I/O、I/O<sup>-</sup>に転送される。ついで、メモリセルアレイ11-1の第1カラムを選択するカラム選択信号CSL1-1が付勢されることにより、セルデータは第1カラムのラッチ回路LTに再ロードされる。

【0114】以上のように、本第2実施形態によれば、セルデータの退避のために専用の書き戻し用ラッチ回路13-3を設けてそこにセルデータを退避しているため、第1実施形態のようにI/Oバッファ経由でセルアレイ11-1、11-2間にまたがるデータ転送を行う第1実施形態に比べ、セルデータ退避およびその書き戻しに要する時間を短縮することが可能となる。

【0115】なお、本第2実施形態では、必ずしもセルアレイが2分割されていなくても動作は可能である。しかし、セルアレイの分割数によらず書き戻し用ラッチ回路13-3は常に1ページ分だけ用意すればよいので、通常のデータ読み出し・書き込み動作で使用されるデータレジスタの容量が多く必要となるセルアレイ分割構造に適用した方がデータレジスタ全体に占める書き戻し用ラッチ回路13-3の割合が少なくなり、チップ面積の点で有利となる。

【0116】(第3実施形態)図15には、本発明の第3実施形態に係るフラッシュEEPROMの構成が示されている。このフラッシュEEPROMは、図1に示した第1実施形態のフラッシュEEPROMの構成に加え、セルアレイ11-1のセンス・ラッチ回路13-1とセルアレイ11-1のセンス・ラッチ回路13-2との間を直接結ぶ専用の経路600が設けられている。

【0117】すなわち、データ読み出し、データ書き込み、消去、書き込みベリファイ、過書き込みベリファイ動作は第1実施形態と同じであるが、本第3実施形態では、過書き込み不良を訂正する際のセルデータの退避およびその書き戻しは、経路600を利用することにより、I/Oバッファ18を介さずに、センス・ラッチ回路13-1とセンス・ラッチ回路13-2との間で直接的に実行される。

【0118】図16には、経路600を利用してデータ転送を行うための具体的なデータ転送回路の構成が示されている。第1のセルアレイ11-1のデータ入出力線I/O、I/O<sup>-</sup>には出力アンプ601の入力が接続されており、この出力アンプ601の出力には、CMOSインバータ602、603から構成される出力ラッチ回路が設けられている。この出力ラッチ回路の出力は出力

30

バッファ182に接続されると共に、転送ゲートとして機能するNチャネルMOSトランジスタ611および前述の経路600内のライン600aを介して、第2のセルアレイ11-2のデータ入出力線I/O、I/O<sup>-</sup>を駆動するドライバ回路609、610の入力に接続されている。これらドライバ回路609、610の入力は、入力バッファ181にも接続されている。

【0119】NチャネルMOSトランジスタ611は、センスラッチ回路13-1から読み出されたセルデータを出力バッファ182とセンスラッチ回路13-2のどちらに転送するかを制御するものであり、そのゲートには制御回路17からの第1のリロード制御信号RELOAD#1が供給される。第1のリロード制御信号RELOAD#1は、センス・ラッチ回路13-1から13-2へのセルデータの転送を行うときにハイレベルとなり、通常のデータ読み出し動作の時はローレベルとなる。したがって、センス・ラッチ回路13-1から13-2へのセルデータの退避処理や書き戻し処理を行うときは、NチャネルMOSトランジスタ611がオンし、ライン600aが接続状態となる。

【0120】また、第2のセルアレイ11-2のデータ入出力線I/O、I/O<sup>-</sup>には出力アンプ604の入力が接続されており、この出力アンプ604の出力には、CMOSインバータ605、606から構成される出力ラッチ回路が設けられている。この出力ラッチ回路の出力は出力バッファ182に接続されると共に、転送ゲートとして機能するNチャネルMOSトランジスタ612および前述の経路600内のライン600bを介して、第1のセルアレイ11-1のデータ入出力線I/O、I/O<sup>-</sup>を駆動するドライバ回路607、608の入力に接続されている。これらドライバ回路607、608の入力は、入力バッファ181にも接続されている。

【0121】NチャネルMOSトランジスタ612は、センスラッチ回路13-2から読み出されたセルデータを出力バッファ182とセンスラッチ回路13-1のどちらに転送するかを制御するものであり、そのゲートには制御回路17からの第2のリロード制御信号RELOAD#2が供給される。第2のリロード制御信号RELOAD#2は、センス・ラッチ回路13-2から13-1へのセルデータの転送を行うときにハイレベルとなり、通常のデータ読み出し動作の時はローレベルとなる。したがって、センス・ラッチ回路13-2から13-1へのセルデータの退避処理や書き戻し処理を行うときは、NチャネルMOSトランジスタ612がオンし、ライン600bが接続状態となる。

【0122】図17は、書き戻し用ラッチ回路13-3へのセルデータの退避動作を示すタイミングチャートである。ここでは、セルアレイ11-1における偶数ビット線グループ内の所定の1ページに対する書き込み動作において過書き込みが検出され、その書き込みページの

31

ワード線に接続される偶数番目および奇数番目の2ページ分のメモリセルのデータを退避する場合を想定する。

【0123】まず、アレイ選択信号AR1が付勢された状態で、セルアレイ11-1における偶数ビット線側の1ページ分のセルデータ(EVENセル)がセンス・ラッチ回路13-1に取り込まれる。次いで、センス・ラッチ回路13-1からセンス・ラッチ回路13-2へのデータ転送が1バイト単位で開始される。

【0124】ここで、左端の偶数ビット線BL0側のメモリセルに着目すると、第1カラムのビット線BL0、BL1で共用されるラッチ回路LTには、まず、偶数ビット線BL0側のメモリセルから読み出されたセルデータが保持される。そして、そのラッチ回路LTに保持されたセルデータは、CSL1-1が付勢されることにより、データ入出力線I/O、I/O<sup>-</sup>上に出力され、出力アンプ601によって増幅された後に、CMOSインバータ602、603から構成される出力ラッチ回路でラッチされる。このラッチされたセルデータは、第1のリロード制御信号RELOAD#1によってオン状態に設定されているトランジスタ611、およびライン600aを介して、センス・ラッチ回路13-2のデータ入出力線I/O、I/O<sup>-</sup>に転送される。そして、メモリセルアレイ11-1から読み出したセルデータと同一カラムを選択するカラム選択信号CSL2-1が付勢されることにより、メモリセルアレイ11-2の左端のカラムに対応するセンス・ラッチ回路13-2内のラッチ回路LTにセルデータが退避される。

【0125】セルアレイ11-1のセンスラッチ回路13-1からのセルデータの読み出し、およびセルアレイ11-2のセンスラッチ回路13-2へのセルデータの転送を、選択カラムを更新しながら繰り返し実行することにより、セルアレイ11-1における偶数ビット線側の1ページ分のセルデータ(EVENセル)がバイト単位でセンスラッチ回路13-2に退避される。

【0126】この後、アレイ選択信号AR1が再び付勢され、セルアレイ11-1における奇数ビット線側の1ページ分のセルデータ(ODDセル)がセンス・ラッチ回路13-1に取り込まれる。このようにして、1本のワード線に接続されている偶数番目及び奇数番目の2ページ分のセルデータを両方とも退避することができる。

【0127】ページ消去の後は、まず、センス・ラッチ回路13-1に退避されている奇数ビット線側の1ページ分のセルデータ(ODDセル)が対応するセルに再書き込みされる。この後、センス・ラッチ回路13-2に退避されているセルデータが、セルアレイ11-1のセンスラッチ回路13-1に書き戻され、対応するセルへの再書き込みが実行される。

【0128】以上のように、本第3実施形態によれば、セルアレイ11-1のセンス・ラッチ回路13-1とセルアレイ11-1のセンス・ラッチ回路13-2とが専

32

用の経路600によって接続されているため、第1実施形態のように入出力バッファ18経由でセルデータを転送するという面倒な動作が不要になる。

【0129】なお、以上の各実施形態では、NAND型のメモリセルを用いる場合を例示したが、セル構造は必ずしもNAND型である必要はなく、例えば、図18

(a)に示すようなAND型メモリセルのセル構造や、図18(b)に示すようなDINOR(divided NOR)型メモリセルのセル構造を用いることも可能である。

【0130】

【発明の効果】以上のように、本発明によれば、データレジスタを構成するラッチ回路を2本のビット線に1つの割合で配する構成においても、過書き込みベリファイ機能を実現できるようになり、高集積化・大容量化に好適で且つ動作の信頼性の高い不揮発性半導体記憶装置を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るNAND型フラッシュEEPROMの構成を示すブロック図。

【図2】同第1実施形態のNAND型フラッシュEEPROMにおけるセンス・ラッチ回路周辺の具体的な回路構成を示す図。

【図3】同第1実施形態のNAND型フラッシュEEPROMのデータ書き込み動作を示すタイミングチャート。

【図4】同第1実施形態のNAND型フラッシュEEPROMの書き込みベリファイ動作を示すタイミングチャート。

【図5】同第1実施形態のNAND型フラッシュEEPROMのデータ読出し動作を示すタイミングチャート。

【図6】同第1実施形態のNAND型フラッシュEEPROMによって実行される過書き込みベリファイを含む一連の書き込みサイクルの手順を示すフローチャート。

【図7】同第1実施形態のNAND型フラッシュEEPROMの過書き込みベリファイ動作を示すタイミングチャート。

【図8】同第1実施形態のNAND型フラッシュEEPROMのセルデータコピー動作を示すタイミングチャート。

【図9】同第1実施形態のNAND型フラッシュEEPROMに設けられたセルデータ転送回路の構成を示す回路図。

【図10】図9のセルデータ転送回路を用いたセルデータ退避動作を示すタイミングチャート。

【図11】本発明の第2実施形態に係るNAND型フラッシュEEPROMの構成を示すブロック図。

【図12】同第2実施形態のNAND型フラッシュEEPROMに設けられた書き戻し用ラッチ回路の構成とその周辺に設けられたセルデータ転送用回路の構成を示す

回路図。

【図13】同第2実施形態のNAND型フラッシュEEPROMにおける書き戻し用ラッチ回路へのセルデータの退避動作を示すタイミングチャート。

【図14】同第2実施形態のNAND型フラッシュEEPROMにおいて書き戻し用ラッチ回路に退避されたセルデータを、セルアレイのセンスラッチ回路に書き戻す動作を示すタイミングチャート。

【図15】本発明の第3実施形態に係るフラッシュEEPROMの構成を示すブロック図。

【図16】同第3実施形態のNAND型フラッシュEEPROMに設けられた2つのセンスラッチ回路間に設けられた専用経路を利用してデータ転送を行うための具体的なデータ転送回路の構成を示す回路図。

【図17】同第3実施形態のNAND型フラッシュEEPROMにおけるデータ退避および書き戻しのためのデータ転送動作を示すタイミングチャート。

【図18】通常のAND型メモリセルおよびDINOR型メモリセルの構造を示す回路図。

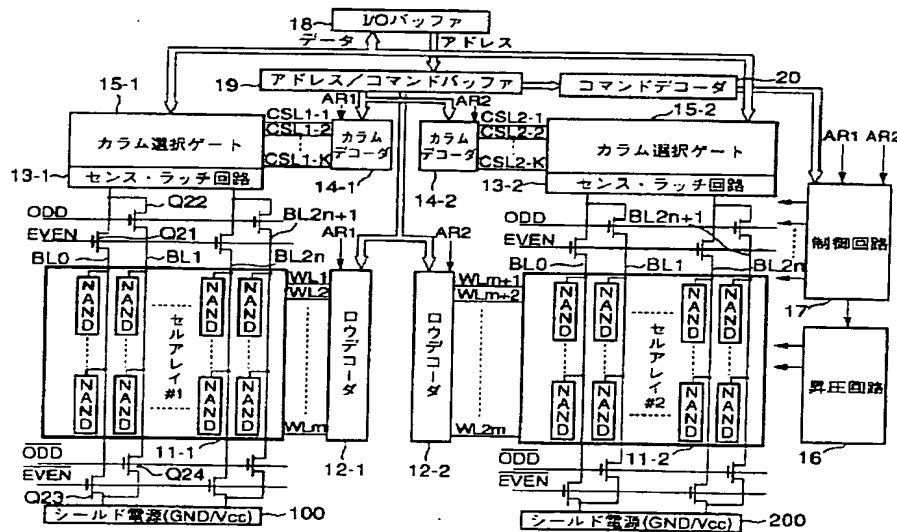
【図19】通常のNAND型メモリセルの構造を示す回路図。

【図20】図19のNAND型メモリセルの各種動作に対応する印加電圧を説明するための図。

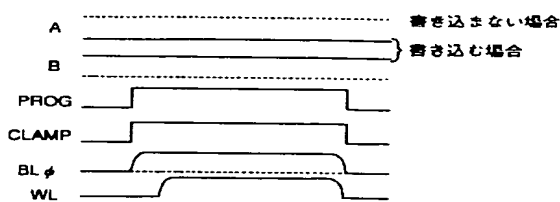
\*【符号の説明】

- 11-1, 11-2…メモリセルアレイ
- 12-1, 12-2…ロウデコーダ
- 13-1, 13-2…センス・ラッチ回路（データバッファ）
- 14-1, 14-2…カラムデコーダ
- 15-1, 15-2…カラム選択ゲート
- 16…昇圧回路
- 17…制御回路
- 18…I/Oバッファ
- 19…アドレス/コマンドバッファ
- 20…コマンドデコーダ
- 100, 200…シールド電源
- BL0~BL2n+1…ビット線
- WL1~WL2m…ワード線
- I/O, I/O…データ入出力線
- LT…ラッチ回路
- VF…ベリファイ線
- 100, 200…出力アンプ
- 101, 201…出力ラッチ回路
- 302…入力ラッチ
- 13-3…書き戻し用ラッチ回路
- \* 600…センス・ラッチ回路間の専用経路

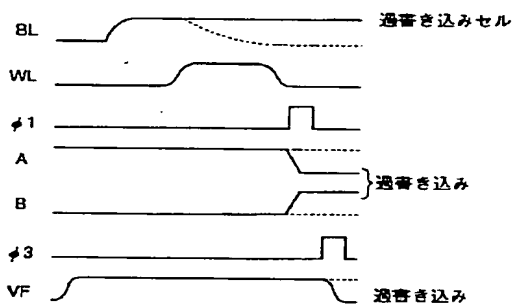
【図1】



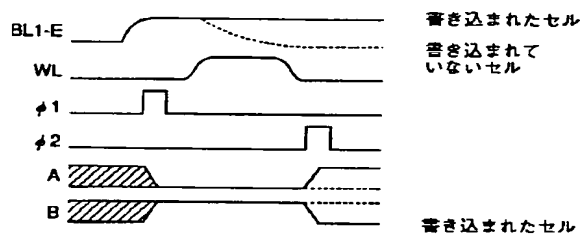
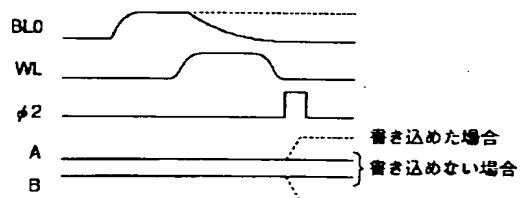
【図 3】



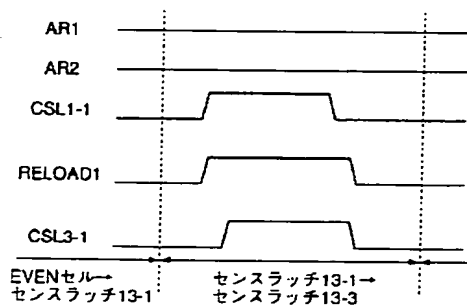
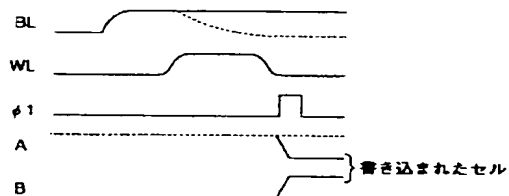
【圖 7】



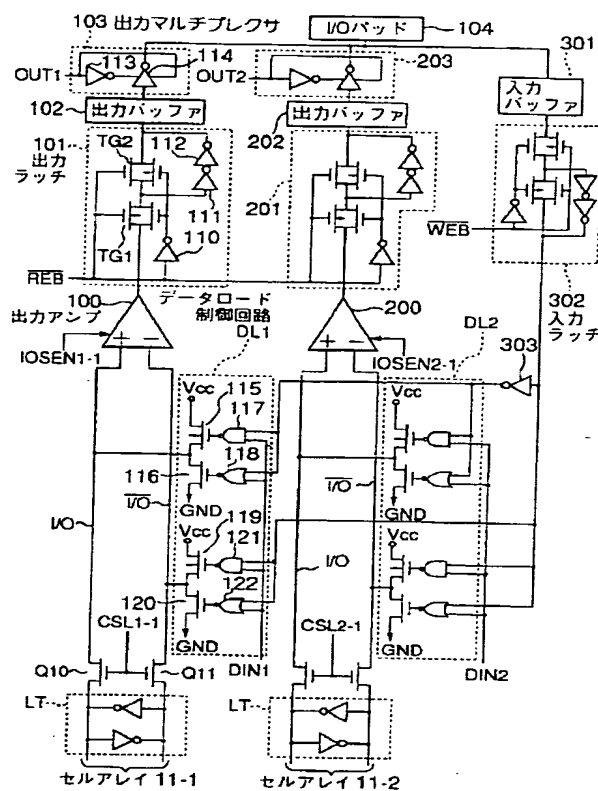
【図 5】



【图 13】



【図 9】



【図 10】

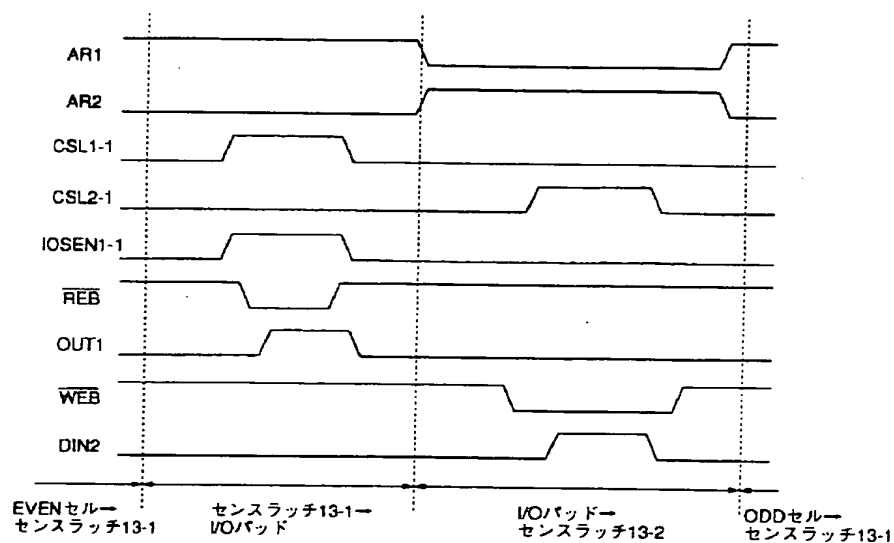
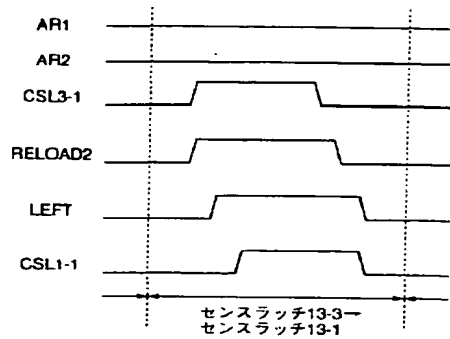


Figure 1 is a block diagram of a semiconductor device. The diagram illustrates the internal structure and connections of the device, including various functional blocks and their interconnections.

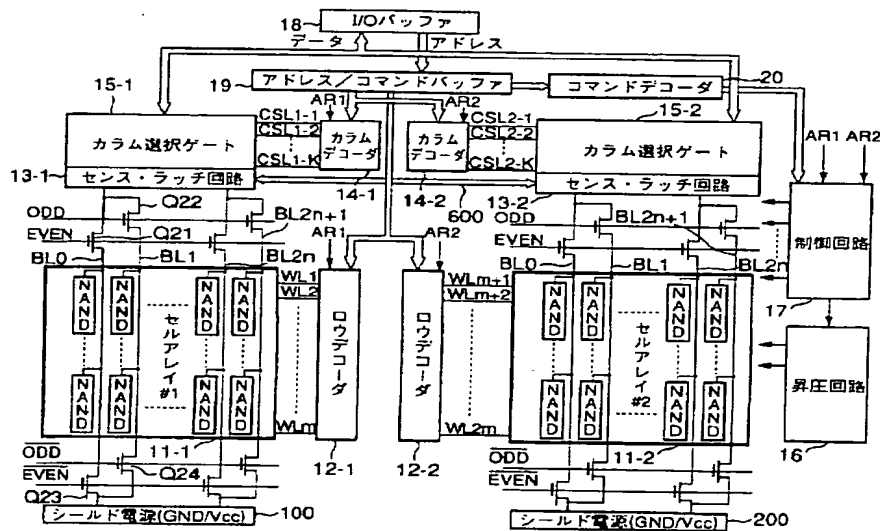
**Key Components and Connections:**

- IO Buffers (18):** Located at the top, connected to the data bus.
- Address/Command Buffers (19):** Connected to the address and command lines.
- Column Select Gates (15-1, 15-2):** These gates select specific columns for reading or writing. They are connected to the address bus (AR1, AR2) and the data bus.
- Sense Latch Circuits (13-1, 13-2):** These circuits latch the data from the sense amplifiers. They are connected to the data bus and the sense amplifiers.
- Column Decoders (14-1, 14-2):** These decoders convert the column address into a select signal for the column select gates. They are connected to the address bus and the column select gates.
- Sense Amplifiers (11-1, 11-2):** These amplifiers amplify the data from the memory cells. They are connected to the data bus and the memory cells.
- Control Circuit (17):** This circuit controls the operation of the device. It is connected to the data bus and the sense amplifiers.
- Voltage Divider Circuit (16):** This circuit provides a reference voltage for the sense amplifiers. It is connected to the data bus and the sense amplifiers.
- Power Supply Connections:**
  - Shielded Source (GND/V<sub>cc</sub>) (100):** Connected to the bottom of the device.
  - Shielded Drain (GND/V<sub>cc</sub>) (200):** Connected to the bottom of the device.

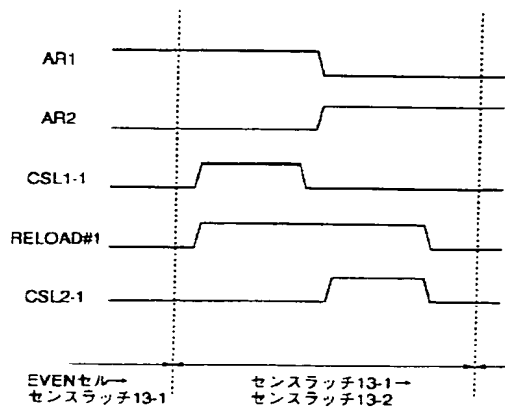
【図14】



【図15】



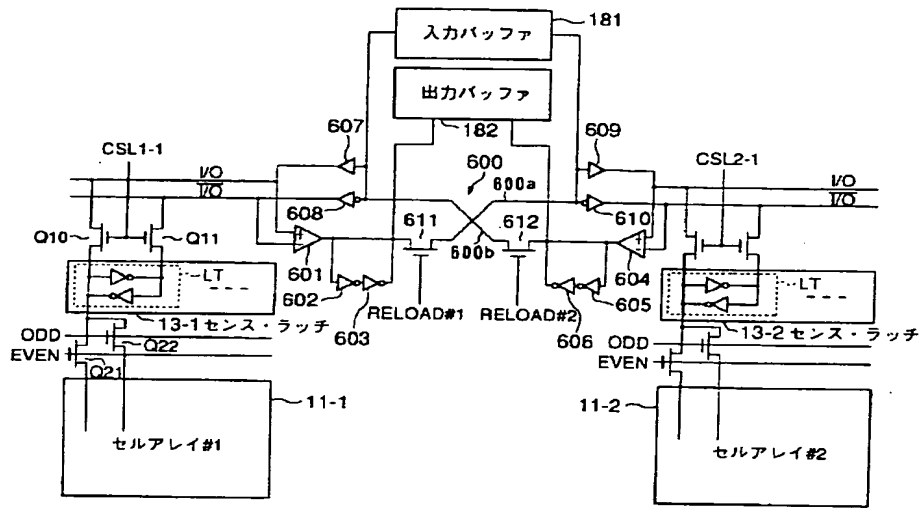
【図17】



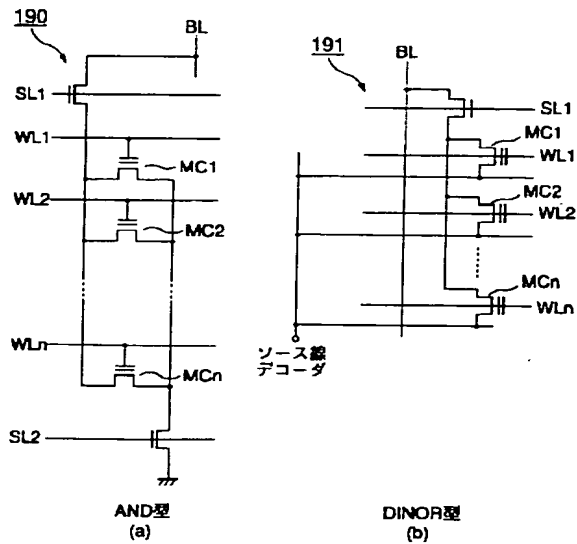
【図20】

	読み出し	消去	書き込み
BL	プリチャージ	OPEN	"0"書き込み0V "1"書き込み3.3V
SL1	3.3V	0V	3.3V
WL	選択 0V 非選択 4.5V	0V	選択 18V 非選択 9V
SL2	3.3V	0V	0V
W	0V	18V	0V
S	0V	18V	0V

【図 16】



【図 18】



【図 19】

